

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-123345

(P2002-123345A)

(43) 公開日 平成14年4月26日 (2002.4.26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 6 F 3/00		G 0 6 F 3/00	K 5 B 0 6 0
12/00	5 5 0	12/00	5 5 0 K
13/16	5 1 0	13/16	5 1 0 A

審査請求 未請求 請求項の数27 O L (全 29 頁)

(21) 出願番号 特願2001-202914 (P2001-202914)

(22) 出願日 平成13年7月4日 (2001.7.4)

(31) 優先権主張番号 特願2000-247920 (P2000-247920)

(32) 優先日 平成12年8月9日 (2000.8.9)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大坂 英樹  
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 波多野 進  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100075096  
弁理士 作田 康夫

最終頁に続く

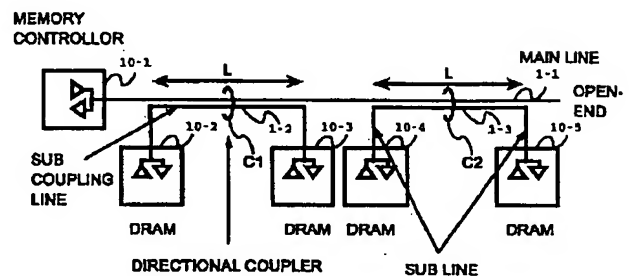
(54) 【発明の名称】 バスシステム

(57) 【要約】

【課題】 方向結合器が占める配線長がバス接続されるモジュール間隔を決めているが伝送の効率すなわち結合度をある一定の間隔が必要であり、この配線長以下にすることができなかった。そのため、メモリモジュール間の間隔を狭くすることが課題である。

【解決手段】 メモリコントローラからの配線（メインライン）を開放端あるいは短絡端とし、進行波と反射波を用いれば方向結合器の両方向に信号を生成できるので結合器の両側に D R A M を接続できる。このため、結果として結合器の配線長はモジュール間のピッチより半分にすることができ高密度実装が可能となる。

図 1



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】データ転送を行うバスシステムに接続されている 1 つのバスマスタと複数のバススレーブ間でデータ転送を行うバスシステムであって、

該バスマスタと該バススレーブ間のデータ伝達を行うためのメインラインと、該バスマスタから引き出された前記メインラインに対し非接触で略平行に配置され、該メインラインと方向性結合器を構成する副結合配線を含み、各副結合配線の少なくとも一方の端に該バススレーブを接続し、片方の端に該バススレーブを接続する場合 10 は他方の端を終端抵抗で整合終端し、

該メインラインの両端のうち該バスマスタが接続されていない側の端は、該端で反射を起こすように終端され、該メインラインの進行波及び該終端からの反射波を用いて該副結合配線の端に接続された該バススレーブと該バスマスタ間に於いてデータ転送を双方向に行うことを特徴としたバスシステム。

【請求項 2】請求項 1 に記載のバスシステムにおいて、メインラインの両端のうちバスマスタに接続されていない側の端を短絡することで、負の全反射を生成し、該メインラインの正極性進行波及び該短絡端からの負極性反射波を用いて該副結合配線の両端に接続された該バススレーブと、該バスマスタ間に於いてデータ転送を双方向に行うことを特徴としたバスシステム。 20

【請求項 3】データ転送を行うバスシステムに接続されているバスドライバであって、

他のバスドライバ間のデータ伝達を行うためのメインラインと接続し、

前記バスシステムは、前記メインラインに対し非接触で略平行に配置され、該メインラインと方向性結合器を構成する副結合配線を含み、各副結合配線の少なくとも一方の端に前記他のバスドライバを接続し、片方の端のみ該バススレーブを接続する場合は他方の端を終端抵抗で整合終端し、 30

該メインラインの両端のうち該バスドライバが接続されていない側の端は、該端で反射を起こすように終端され、該メインラインの進行波及び該終端からの反射波を用いて該副結合配線の端に接続された該他のバスドライバと該バスドライバ間に於いてデータ転送を双方向に行うことを特徴としたバスドライバ。 40

【請求項 4】請求項 3 に記載のバスドライバにおいて、データ送信用のドライバを前記バスドライバに内蔵し、該ドライバの出力インピーダンスが該ドライバに接続されるメインラインの持つ特性インピーダンスと等しく保ち、LOW データを出力する状態では LOW 電圧を、HIGH データを出力する状態では HIGH 電圧を出力し、データを出力しない状態では HIGH 電圧を出力し、

データ送信用のドライバを前記他のバスドライバに内蔵し、該他のバスドライバ内ドライバの出力インピーダン 50

スが該ドライバに接続される副結合配線の持つ特性インピーダンスと等しく保ち、LOW データを出力する状態では LOW 電圧を、HIGH データを出力する状態では HIGH 電圧を出力し、データを出力しない状態では HIGH 電圧を出力することを特徴としたバスドライバ。

【請求項 5】請求項 3 に記載のバスドライバにおいて、データ送信用のドライバを内蔵し、該ドライバの出力インピーダンスが該ドライバに接続されるメインラインの持つ特性インピーダンスと等しく保ち、LOW データを出力する状態では LOW 電圧を、HIGH データを出力する状態では HIGH 電圧を出力し、また、データを出力しない状態では HIGH 電圧を出力し、

また、データ送信用のドライバを前記他のバスドライバに内蔵し、該他のバスドライバ内ドライバの出力インピーダンスが該ドライバに接続される副結合配線の持つ特性インピーダンスと等しく保ち、HIGH データを出力する状態では HIGH 電圧を出力し、データを出力しない状態では HIGH 電圧を出力し、また LOW データを出力する状態では LOW 電圧を低インピーダンスで出力することを特徴としたバスドライバ。

【請求項 6】請求項 3 に記載のバスドライバにおいて、データ送信用のドライバを前記バスドライバに内蔵し、該バスドライバに内蔵されたドライバの出力インピーダンスは該ドライバに接続されるメインラインの持つ特性インピーダンスと等しく保ち、LOW データを出力する状態では LOW 電圧を、HIGH データを出力する状態では HIGH 電圧を出力し、データを出力しない状態では HIGH 電圧を出力し、

データ送信用のドライバをバススレーブに内蔵し、該バススレーブ内ドライバは HIGH データを出力する状態では HIGH 電圧を任意のインピーダンスで出力し、LOW データを出力する状態では LOW 電圧を低インピーダンスで出力し、

データを出力しない状態であって該バスマスタから特定のバススレーブへのデータ転送に置いてデータ転送対象のバススレーブ内のドライバの出力インピーダンスはハイインピーダンスとなり、該対象以外のバススレーブのドライバのインピーダンスは副結合配線の持つ特性インピーダンスに等しくなることを特徴としたバスドライバ。

【請求項 7】データ受信用のレシーバをバスマスタに内蔵し、データ受信時において該レシーバは接続された信号配線の電圧と該レシーバに接続されたドライバの HIGH 電圧と同じ電圧を比較することで受信データを弁別することを特徴としたバスドライバ用半導体素子。

【請求項 8】請求項 1 または 2 のいずれかに記載のバスシステムにおいて、

前記バスマスタと複数のバススレーブを繋ぐバスシステムであって、

該バスマスタと該バススレーブを接続する信号に含まれる第1の信号と第2の信号それぞれについて前記メインラインの端子の機能を変更することにより、部分的負論理接続を実現することを特徴とするバスシステム。

【請求項9】請求項8に記載のバスシステムにおいて、前記機能の変更には、前記第1の信号に対する該メインラインの端を短絡端にすることおよび前記第2の信号に対する該メインラインの端を開放端にすることのうち少なくとも一方が含まれることを特徴とするバスシステム。

【請求項10】請求項8または9のいずれかに記載のバスシステムにおいて前記複数のバススレーブは、メモリであることを特徴とするバスシステム。

【請求項11】請求項10に記載のバスシステムにおいて、前記バスマスタから引き出されたメインラインが中央部で折り返され、該バスマスタからの該メインラインに対し該バスマスタから折り返し点までの配線部、及び折り返し点以降の配線部に対し該バススレーブから引き出された該配線の少なくとも一部が交互にかつ連続して方向性結合器を構成することを特徴としたバスシステム。

【請求項12】請求項10に記載のバスシステムにおいて、

前記バスマスタと前記バススレーブ間を差動のデータ伝達を行うため、

該バスマスタから引き出された2つのメインラインに対し非接触かつ近接ししかも平行に配置する事により該メインラインと方向性結合器をなす副結合配線を設け、該副結合配線の片方の端、或いは両方の端に該バススレーブを接続し、差動信号の2つの該メインラインの両端のうち該バスマスタが接続されていない側の端子同士を短絡させ、或いは開放させ、

該バスマスタと該バススレーブ間でデータ転送を双方向に行うことを特徴とした差動信号バスシステム。

【請求項13】請求項1または2のいずれかに記載のバスシステムにおいて、

該バスマスタであるメモリコントローラと該バススレーブであるメモリ素子間でデータ伝達を行うバスにおいて、

該メモリコントローラからのデータ書き込みのためのライトコマンドの発行と同時に書き込みデータ、及び、データストロブ信号を同時に出力することを特徴とするバスシステム。

【請求項14】複数種類のメモリアクセスノード群を選択的にメモリ群に対してアクセス制御するノードコントローラと、該ノードが処理するためのデータ格納およびデータ読み出しのうち少なくとも一方を実行するための複数メモリを含むメモリシステムと、前記ノードコントローラと前記メモリシステム間でデータ転送を行う方向性結合器を用いたバスシステムを含む情報処理装置であ

って、

前記バスシステムは、前記ノードコントローラに接続された一端を有するメインラインと、該メインラインに対し非接触で所定範囲に近接し、略平行に配置されて該メインラインと方向性結合器を構成する複数の副結合配線を含み、

該副結合配線の少なくとも一端は前記複数のメモリの1つに接続され、他端は前記複数のメモリの他のメモリに接続されるか、または終端抵抗で整合終端され、

10 前記メインラインの他端は、該他端で信号が反射を起すよう終端され、前記メインラインの信号進行波及び前記他端からの反射波を用いて前記ノードコントローラ及び前記メモリシステム間で双方向データ転送を行う情報処理装置。

【請求項15】プロセッサの2次キャッシュメモリアクセスを制御するノードと、該プロセッサが処理するためのデータの格納及びデータの読み出しの少なくとも一方を実行するための複数の2次キャッシュメモリ群と、前記ノードと前記2次キャッシュメモリ間でデータ転送を行う方向性結合器を用いたバスシステムを含むプロセッサモジュールであって、

前記バスシステムは、前記ノードを接続した1端を有するメインラインと、該メインラインに対し非接触で所定の範囲に近接し、略平行に配置されて該メインラインと方向性結合器を構成する複数の副結合配線とを含み、該副結合配線の1端は前記複数の2次キャッシュメモリの1つに接続され、他端は前記複数の2次キャッシュメモリのうち他の2次キャッシュメモリに接続されるか、もしくは終端抵抗で整合終端され、

30 前記メインラインの他端は、該他端で信号が反射を起すように終端され、前記メインラインの信号進行波及び前記他端からの反射波を用いて前記ノード及び前記2次キャッシュメモリ群間で双方向データ転送を行うプロセッサモジュール。

【請求項16】データ転送を行うバスシステムに於いて該バスシステムに接続されている1つのバスマスタと2つのバススレーブ間でデータ転送を行うバスシステムであって、該バスマスタと該バススレーブ間のデータ伝達を行うため、該バスマスタから引き出されたメインラインに対し非接触かつ近接ししかも平行に配置する事により該メインラインと方向性結合器をなす副結合器を含む副結合配線を設け、該副結合配線の両方の端に該バススレーブを接続し、該メインラインの両端のうち該バスマスタが接続されていない側の端子を全反射を起こさせるように終端し、該副結合器の該バスマスタ側に接続された該バススレーブの入カインピーダンスを高インピーダンスにし、該副結合器から該バススレーブまでの配線を方向性結合器の伝搬遅延時間に比べて無視できるくらいに短くし、該副結合器の他方端に接続される該バススレーブは該副結合器から鉛直に引き出し配線され、該バス

スレーブは配線の持つ特性インピーダンスにほぼ等しいインピーダンスを有することで、該メインラインの進行波及び該開放端からの反射波を用いて該副結合配線の端に接続された該バススレーブと該バスマスタ間に於いてデータ転送を双方向に行うことを特徴としたバスシステム。

【請求項 17】請求項 16 に記載のバスシステムにおいて、データ転送を行うバスシステムに於いて該バスシステムに接続されている 1 つのバスマスタと 1 つのバススレーブ間でデータ転送を行うバスシステムであって、該副結合器の該バスマスタ側の端子を全反射を起こさせるように終端し、該副結合器の他方の端に該バススレーブを接続し、該メインラインの進行波及び該開放端からの反射波を用いて該副結合配線の端に接続された該バススレーブと該バスマスタ間に於いてデータ転送を双方向に行うことを特徴としたバスシステム。

【請求項 18】請求項 15 に記載のバスシステムにおいて、2 つのバススレーブの内、配線の特性インピーダンスと等しいインピーダンスを有する 1 つのバススレーブをモジュールに設け、該バスマスタと他方のバススレーブ、および方向性結合器を同一のプリント配線基板に実装し、該モジュールをコネクタを介して該プリント印刷基板に接続することを特徴とするバスシステム。

【請求項 19】請求項 18 に記載のバスシステムにおいて、配線の特性インピーダンスと等しいインピーダンスで終端する終端手段を有する終端モジュールを、該バスマスタと他方のバススレーブ、および方向性結合器を同一のプリント配線基板に実装し、該モジュールをコネクタを介して該プリント印刷基板に接続することを特徴とするバスシステム。

【請求項 20】請求項 16 に記載のバスシステムにおいて、データ転送を行うバスシステムに於いて該バスシステムに接続されている 1 つのバスマスタと 4 つのバススレーブ間でデータ転送を行うバスシステムであって、該バスマスタと該バススレーブ間のデータ伝達を行うため、該バスマスタから引き出されたメインラインに対し非接触かつ近接ししかも平行に配置する事により該メインラインと方向性結合器をなす副結合器を該主結合器の両側に設け、両側の 2 つの該副結合器を含む副結合配線の両方の端にそれぞれ 2 つづつ該バススレーブを接続し、該メインラインの両端のうち該バスマスタが接続されていない側の端子を全反射を起こさせるように終端し、2 つの該副結合配線の該バスマスタ側に接続された 2 つの該バススレーブの入カインピーダンスを高インピーダンスにし、該副結合器から該バススレーブまでの配線を方向性結合器の伝搬遅延時間に比べて無視できるくらいに短くし、該副結合器の他方端に接続される 2 つの該バススレーブは該副結合器から鉛直に引き出し配線され、2 つの該バススレーブは配線の持つ特性インピーダンスにほぼ等しいインピーダンスを有することで、該メ

インラインの進行波及び該開放端からの反射波を用いて該副結合配線の端に接続された該バススレーブと該バスマスタ間に於いてデータ転送を双方向に行うことを特徴としたバスシステム。

【請求項 21】請求項 20 に記載のバスシステムにおいて、データ転送を行うバスシステムに於いて該バスシステムに接続されている 1 つのバスマスタと複数のバススレーブ間でデータ転送を行うバスシステムであって、該バスマスタと該バススレーブ間のデータ伝達を行うため、該バスマスタから引き出された主結合線路に対し非接触かつ近接ししかも平行に配置する事により該メインラインと方向性結合器をなす副結合配線を該主結合線路の両側に複数設け、該主結合器の両側の複数の該副結合配線の両方の端にそれぞれ該バススレーブを接続し、該主結合線路の両側の該副結合器の該バスマスタ側に接続された 2 つの該バススレーブの入カインピーダンスを高インピーダンスにし、該副結合器の他方端に接続される 2 つの該バススレーブは該副結合器から鉛直に引き出し配線され、2 つの該バススレーブは配線の持つ特性インピーダンスにほぼ等しいインピーダンスを有し、更に、該主結合線路と該副結合器が構成する複数の方向性結合器の間の主結合器間にスイッチを設け、該主結合線路のスイッチが非導通状態になっている端で全反射を起こさせるように終端し、該メインラインの進行波及び該開放端からの反射波を用いて該副結合配線の端に接続された該バススレーブと該バスマスタ間に於いてデータ転送を双方向に行うことを特徴としたバスシステム。

【請求項 22】データ転送を行うバスシステムに於いて該バスシステムに接続されている 1 つのバスマスタと 2 つのバススレーブ間でデータ転送を行うバスシステムであって、該バスマスタと該バススレーブ間のデータ伝達を行うため、該バスマスタから引き出された主結合線路に対し非接触かつ近接ししかも平行に配置する事により該メインラインと方向性結合器をなす副結合器を該主結合器の両側に複数設け、該副結合器の該バスマスタに近い端を接続し、更に両側の該副結合器の他方の端にそれぞれ 1 つづつの該バススレーブを接続し、該バススレーブの入カインピーダンスを、バスアクセスが無い場合は、配線の持つ特性インピーダンスにほぼ等しいインピーダンスに制御し、バスアクセスがある場合であってバスドライブする場合は低インピーダンスでデータを出力し、更にバスアクセスがある場合であってバスレシーブする場合は高インピーダンスになるように該バススレーブを制御することで該メインラインの進行波及び該開放端からの反射波を用いて該副結合配線の端に接続された該バススレーブと該バスマスタ間に於いてデータ転送を双方向に行うことを特徴としたバスシステム。

【請求項 23】信号伝送媒体を含み、該伝送媒体に接続された複数のノード間でデータ転送を行うデータ転送装置であって、

前記信号伝送媒体は、メインラインと、該メインラインに対し非接触、所定の範囲で近接し、略平行に配置されて該メインラインと方向性結合器を構成する少なくとも1つの副結合配線を含み、

前記データ転送装置は、

該メインラインの1端に接続された第1ノードと、前記少なくとも1つの副結合配線の両端に接続された第2ノードと第3ノードを含み、前記メインラインの他端が反射を起こすように愁嘆されているデータ転送装置。

【請求項24】請求項23に記載のデータ転送装置において、

前記メインラインの前記他端は開放端にされるか短絡されていることを特徴とするデータ転送装置。

【請求項25】請求項23に記載のデータ転送装置において、

前記第2ノード及び前記第3ノードのうち少なくとも1つは終端抵抗で整合終端されることを特徴とするデータ転送装置。

【請求項26】請求項23に記載のデータ転送装置において、

前記第1ノードはバスマスタであり、前記副結合配線に接続されるノードはバススレーブであることを特徴とするデータ転送装置。

【請求項27】請求項23に記載のデータ転送装置において、

前記メインラインの進行波及び前記他端からの反射波を用いて前記副結合配線に接続された前記ノードと前記メインラインに接続された前記第1ノード間で双方向データ転送を行うことを特徴とするデータ転送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報処理装置においてマルチプロセッサやメモリ等の素子間（例えばCMOS等により構成されたデジタル回路間又はその機能ブロック間）での信号伝送のための技術に関し、特に、複数の素子が同一の伝送線に接続されデータ転送を行うバス伝送の高速化技術に関するものである。特に、複数のメモリモジュールとメモリコントローラを接続するバスとこれを用いるシステムに関する。

【0002】

【従来の技術】多数のノードが接続され高速にデータを転送するためのバス方式として特開平7-141079の非接触バス配線があった。これの基本方式を図2に示す。これは2ノード間のデータ転送を長さLのクロストーク生成部すなわち方向性結合器を用いて行っていた。すなわち、バスマスタ10-1とスレーブ10-2～10-3間の転送を2線間すなわち終端された配線1-1と終端された配線1-2～1-3間のクロストークを用いて転送する技術である。これはバスマスタ10-1とスレーブ10-2～10-3間の1対多間の転送に適し

ていおり、すなわちメモリとメモリコントローラ間のデータ転送に適していた。

【0003】

【発明が解決しようとする課題】しかしながら、従来の技術の特開平7-141079では方向結合器が占める配線長Lがバススレーブ10-2、10-3の間隔を決めていた。図2では2つのバススレーブであるDRAM10-1と10-2が占める配線長は最低でも2Lとなり、DRAM10-1、10-2間の間隔はLとなる。

【0004】システムの高密度化すなわちDRAM間を縮めるには方向性結合器の配線長Lを短くするのが簡単であるが、これは伝送の効率すなわち結合度を下げる原因となるので、ある一定の間隔以下にすることができなかった。

【0005】本発明の第1の課題は、DRAM間の間隔を狭くすることであり、メモリシステムの高密度実装を行うことである。

【0006】第2の課題として、DQ信号のラッチにDQS信号を用いるメモリモジュールシステム、例えばDDR-SDRAM (Double Data Rate Synchronous DRAM) において、ライトデータのレイテンシが長いという課題があった。

【0007】DDR-SDRAMで採用されているSSTL (Stub Series Terminated Logic) インタフェースはHiz状態が終端電圧のV<sub>tt</sub>と同じであり、レシーバの基準電圧V<sub>ref</sub>も終端電圧V<sub>tt</sub>とほぼ同じである。ここで、Hiz状態とは、インタフェースのドライバがデータを出力していないときの状態、すなわち高インピーダンス状態を言う。このため、HizからL状態あるいはHizからH状態への遷移が認識できない。このため、データ転送に先立ちストロブ信号をHiz状態からL状態へ一度遷移させその後データ転送を行っていた。この部分は特にプリアンプルとよばれこのプリアンプルの存在がライトアクセス時間を長くしていた。

【0008】また、SSTLドライバを用いて方向性結合器を用いたバスの場合、すなわち図2の様なメインライン及び副結合配線を終端させた場合は、プリアンプル部の振幅がデータ転送の振幅と比べて半分である。すなわち、ドライブ振幅がHiz状態からL状態、或いはHiz状態からH状態への遷移は、L状態からH状態へ、またその逆の遷移に比べて信号振幅が半分程度である。このため、ライトデータもリードデータもレシーバに入力される振幅はプリアンプル部ではデータ部の半分でありレシーバの感度が足りなく信号振幅を確保する必要がある。

【0009】このため、SSTLドライバを用いた場合ではいったんHizからL状態にストロブ信号を遷移させ信号振幅を確保する必要があり、結果としてメモリライトでアクセス時間が延びていた。

【0010】

【課題を解決するための手段】第1の課題を解決するための手段として、メモリコントローラ10-1 (MC) の信号伝送用のドライバを、これに接続される配線 (メインライン) 1-1 のもつ特性インピーダンス $Z_0$ と同じインピーダンスを持たせ、このドライバでの再反射を無くす。また、メインラインの遠端を開放端とし、この部分で信号を全反射させる。2本の配線 (例えば並行配線) で構成された方向性結合器はその名の通り、信号の伝達の方向に関し信号弁別の特性を持つ。すなわち、メインラインを伝搬する信号に対して、方向性結合器のもう一方の配線 (副結合配線) に誘起されるのは、MC 10-1 から見てメインライン上を離れる方向に進む進行波に対しては近端側に、近づく方向に戻ってくる反射波に対しては遠端側にそれぞれ信号が誘起される。

【0011】方向性結合器は、メインラインを伝搬する信号の進行波と反射波によるクロストークを別々に副結合線路の両端から取り出すことができる。このため1つの結合器に対し2つのメモリモジュールを接続できることになる。このためメモリを方向性結合器の線路長内に2つのメモリを接続できるので実装密度を倍に上げることができる。

【0012】また、メインラインを折り返し方向性結合器を別々の層で構成することで、方向性結合器を重ねることが出来るので更にメモリ間隔を半分にできる。この為、メモリモジュールの間隔を従来例に比べて大幅に狭くできるので実装面積が小さくて済むと言う効果がある。

【0013】第2の課題を解決するための手段として、メモリコントローラはデータ転送のための信号を2値とし、かつそのインピーダンスはメモリコントローラ側は配線の特性インピーダンスと同じインピーダンスとする。すなわち、データを転送していない場合のHiZ状態もH状態と同じ電位とし配線の特性インピーダンスと同じインピーダンスでドライブしておく。すなわち、入力インピーダンスが特性インピーダンスに等しくなる。データがL状態のときも特性インピーダンスと同じインピーダンスでL信号をドライブする。このようにすることで反射波を吸収することができる。

【0014】信号をHiZ状態からL状態にドライブ場合もH状態からL状態にドライブした場合も同じ振幅となり、このため結合器を通過した信号はこの2つの転送で同じ振幅となる。これによりどの信号の遷移でも同じ信号振幅となるのでプリアンプの必要はなくなる。プリアンプが不必要となるためメモリアクセス時間が短くなりバス使用効率が上がりシステム性能が向上する。

【0015】

【発明の実施の形態】第1の実施例を図1を用いて説明する。10-1はメモリコントローラ制御機構を有するLSIチップ (以下MC: Memory Controller) であり、10-2~10-5はメモリチップ (以下、DRAM)

である。

【0016】MC 10-1はDRAM 10-2~10-5に対しデータの読み書き (リード・ライト) の動作を行う。この読み書きのためのデータ転送用配線が1-1~1-3であり、この中で特にMC 10-1に接続される配線1-1をメインライン (main line) と呼ぶことにする。また、配線1-2は3つの部分から成り、メインライン1-1と平行に配線することで方向性結合器を構成する長さLの副結合線 (Sub Coupling Line) 部と、その副結合線部の両端から物理的に (ほぼ) 垂直に引き出された2つのスタブ配線 (stub) 部である。図1ではそれぞれ配線1-2、1-3の中で長さLの副結合線部とメインライン1-1が方向性結合器C1、C2を形成している。このため、方向性結合器C1、C2には引出しスタブ配線は含まない。

【0017】MC 10-1とDRAM 10-2~10-5間のデータ信号伝搬は反転した記号 "C" 字で表されたC1、C2の方向性結合器で行われる。この方向性結合器は特開平7-141079記載のものと等価である。すなわち、これは、2ノード間のデータ転送を2平行配線間 (方向性結合器) の結合であるクロストークを用いて行っていた。すなわち、MC (バスマスタ) 10-1とメモリチップ (バススレーブ) 10-2~10-5間の転送を2線間すなわちメインライン1-1と配線1-2、1-3間のクロストークを用いて転送する。

【0018】DRAM 10-2~10-5のI/O回路には終端抵抗が内蔵されている。すなわち、DRAM 10-2~10-5のI/O回路は、これに接続されている配線1-2~1-3の特性インピーダンスと同じ入力インピーダンスを有している。このため、このI/O回路部での反射はない。このように構成することで方向性結合器C1、C2で生成された信号はスタブ配線へ伝搬するが、このDRAM 10-2~10-5の入力端で再反射することはない。この終端はDRAM 10-2内のMOSトランジスタで構成しても良いし、外付けの抵抗器により構成されていても良い。

【0019】メインライン1-1はMC 10-1から見て遠端をメインライン1-1の持つ特性インピーダンスに比べて非常に大きいインピーダンスで終端されている。図1の場合では開放 (OPEN-END) されている。このメインライン1-1部分での反射係数はほぼ1であり電圧は全反射する。

【0020】また、MC 10-1の持つI/O回路のドライバはこのメインライン1-1の特性インピーダンスと同じインピーダンスを有しこの部分での再反射はない。この図1ではDRAMは10-2~10-5の4つであるがそれ以上でもそれ以下でも本発明の効果に差はない。

【0021】次に、図3、図4を用いて、図1のMC 10-1とDRAM 10-2~10-5間の信号伝搬の動



作を説明する。図 3、図 4 中で図 1 と同じ記号は上で説明した図 1 と同じであり繰り返しの説明は省略する。

【0022】メインライン 1-1 では、結合器 C1、C2 を構成する部分（主結合線：maincoupling line）とそれらを結ぶ配線とに機能的に区別できる。主結合線とは方向性結合器 C1、C2 に於いて配線 1-2、1-3 内の副結合線に対向して平行に配線されているメインライン 1-1 内の部分のことである。MC10-1 からメインライン 1-1 の遠端までの信号伝搬遅延時間を  $T1$  で表すことにする。また、結合線路 C1、C2 の主結合線路部の伝搬遅延時間を  $T2$  で表すことにする。ここで、メインライン 1-1 上で方向性結合器を構成しない部分の配線もあるが、簡単のため伝搬遅延時間が無視できるくらい短いとする。すなわち、 $T1 = 2 * T2$  として説明する。

【0023】メインライン 1-1 の両端を端子 (A)、(B) とする。(A) は MC10-1 側で、(B) はメインライン 1-1 の遠方の開放端部である。同様に配線 1-2 の両端を (C)、(D) と、配線 1-3 の両端を (E)、(F) とする。この各点 (A) ~ (F) の電圧波形を模式的に示したのが図 4、図 5、図 6 である。

【0024】図 4 は MC10-1 からデータ信号が送出（ライト）された信号状態を示し、図 5 では DRAM10-2 から MC10-1 へメモリリード信号が送信された信号状態を、図 6 は DRAM10-2 から MC10-1 へメモリリード信号が送信された信号状態を示している。横軸方向は時間を示し、縦の点線は  $T2$  間隔で引かれている。縦軸方向は信号電圧を示している。

【0025】図 4 において、波形 (A) は MC10-1 のドライバの出力波形で、L 状態から H 状態へ遷移している。MC10-1 のドライバはメインライン 1-1 と同じ出力インピーダンスをもつ。このようなドライバを特に Source Impedance Matching Driver と呼んでいる。L 状態から H 状態へ移行したドライバの波形はドライバのインピーダンスとメインライン 1-1 のインピーダンスの分圧となるので半分のドライブ電圧で出力される。ドライブ信号はメインライン 1-1 上を図面右手方向に時間  $T1$  伝搬した後、遠方端の (B) 端に到達する。このときの電圧は (B) 端が開放端であることから全反射を起こし進行波と反射波の重ね合わせの 2 倍の電圧となる。

【0026】ドライブされてから時間  $T1$  後、メインライン 1-1 上を反射波が左手方向に伝搬し、再び (A) 端に到達する。この時の時刻はドライブしてから時間  $2 * T1$  後である。このときの電圧は進行波と反射波の重ね合わせの電圧で MC10-1 のドライブ電圧と等しくなる。また、このドライバは Source Impedance Matching であるのでこの点での再反射はなく信号は再反射を繰り返すことなく H 状態に安定する。

【0027】次に、配線 1-2、1-3 の各点について

見ていく。メインライン 1-1 を流れる進行波によって結合器 C1 には後方 (Backward) へ信号が生成される。ここで、後方とは進行波の方向とは逆向きの方で図 3 では端子 (C) 側である。これはすなわち後方クロストークである。この端子 (C) の方向に生成された信号は図 3 の DRAM10-2 内で吸収され反射はしない。これは DRAM10-2 内では配線 1-2 の特性インピーダンス  $Z_0$  と同じインピーダンスで終端されているためである。

【0028】結合器が金属プレーンで囲まれた配線である strip line で構成される場合、端子 (D) 側の前方 (Forward) には 2 線間のインダクタンスによる誘導電圧と静電容量による誘起電圧とが相殺して信号は生成されない。いわゆる前方クロストークは生じない。すなわち、図 4 の方向性結合器 C1 で端子 (C) 側にはメインライン 1-1 の進行波による後方クロストークが生成されるが、端子 (D) には前方クロストークは生成されない。結合器 C1 により生成される後方クロストークは結合器 C1 の往復の時間 ( $= 2 * T2$ ) の長さを持つ。

【0029】このパルス幅の理由は以下の通りである。後方クロストークは進行波の波頭で生成され進行波が結合器に入力されてから出力するまで副結合線路に誘起される。進行波が主結合器の入力から出口まで伝搬するのが時間  $T2$ 、また、主結合線の出口付近で生成された信号が副結合器を伝搬するのに  $T2$  掛かるので合計  $2 T2$  信号が誘起されるためである。

【0030】ドライブ時刻から  $T2$  後、メインライン 1-1 を進む進行波は結合器 C2 に到達し、その後結合器 C2 でも結合器 C1 と同様な動きをする。結果として DRAM10-3 の端子 (E) に波形 (C) と同様な信号を誘起する。もちろんここでの反射はない。端子 (D) と同様に結合器 C2 を伝搬する進行波は端子 (F) には何の電圧も誘起しない。

【0031】時刻  $T1$  以降、メインライン 1-1 の開放端 (B) で反射波が生じると逆のプロセスが生じる。

(B) が開放端であるため反射波全反射となり、反射波の電圧振幅は進行波と同じでかつ、進行方向が反対になる。反射波がメインライン 1-1 を MC10-1 方向へ戻るとき、まず結合器 C2 で後方クロストークを誘起する。これはメインライン 1-1 の反射波に対して後方である端子 (F) 側に信号を誘起する。このため配線抵抗が無くメインライン 1-1 上を進む波形に歪みがないとすると、端子 (F) に (C) と同じ波形をメインライン 1-1 の反射波は誘起させる。このタイミングは MC10-1 が信号を送信開始した時刻から測って反射波が生じる時刻  $T1$  後となる。また、波形 (F) のパルス幅は 2 倍の  $T2$  である。当然、この反射波は結合器 C2 に於いて前方側の端子 (E) 側には何も誘起しない。

【0032】時間  $T1 + T2$  後、メインライン 1-1 の反射波が結合器 C1 へ入射すると同様に端子 (D) 側に

後方クロストークを誘起する。このパルス幅も2倍の $T_2$ である。

【0033】以上のように、MC10-1からのメインライン1-1上を進行する信号は進行波と端(B)での反射波により結合器C1、C2内でそれぞれ後方クロストークを生成するが、結合器C1、C2は進行波・反射波の向きに対し信号生成が選択的であり、それぞれが重ならず互いがノイズとならない。そのため、DRAM10-2~10-5の各端子(C)~(F)では、結合器C1、C2の往復の伝搬遅延時間である2倍の $T_2$ の\*10

MC10-1からDRAM10-2(C)への信号伝搬遅延時間=0…(数1)

)

MC10-1からDRAM10-3(D)への信号伝搬遅延時間= $T_1 + T_2$

…(数2)

MC10-1からDRAM10-4(E)への信号伝搬遅延時間= $T_2$ …(数

3)

MC10-1からDRAM10-5(F)への信号伝搬遅延時間= $T_1$ …(数

4)

したがって、それぞれの場合、信号は(数1)~(数4)で示される遅延時間後に到達する。

【0034】図1、図3のように方向性結合器C1、C2の両端にそれぞれ2つの終端されたDRAM10-2~10-3、10-4~10-5を接続することにより、MC10-1からDRAM10-2~10-5へ信号伝送を行うことが出来る事が分かる。

【0035】次に、図5、図6を用いて、メモリのリード方向であるDRAM10-2~10-5からMC10-1への信号伝送について考える。図5はDRAM10-2からMC10-1への転送にかかる各点の波形、図6はDRAM10-3からMC10-1への転送の波形である。DRAM10-4、10-5からMC10-1への転送の波形は図5、図6と同じ機構なので略する。

【0036】図5において、まずDRAM10-2(C)からL状態からH状態へパルスが出力される。その時間 $T_2$ 後、端子(D)に信号が到達する。DRAM10-3(D)の入カインピーダンスは配線の特徴インピーダンスと同じため反射はない。結合器C1はメインライン1-1に後方クロストークを誘起する。このパルス時間は図4と同じ結合器の往復の伝搬遅延時間(= $2 * T_2$ )である。メインライン1-1の前方にはクロス\*40

DRAM10-2(C)からMC10-1へ信号伝搬遅延時間=0…(数5)

DRAM10-3(D)からMC10-1へ信号伝搬遅延時間= $T_2 + T_1$ …

(数6)

DRAM10-4(E)からMC10-1へ信号伝搬遅延時間= $T_2$ …(数7

)

DRAM10-5(F)からMC10-1へ信号伝搬遅延時間= $T_1$ …(数8

)

それぞれの場合、信号は上記の数式で示される遅延時間後に到達する。この(数5)~(数8)は(数1)~

(数4)と同じであり、ライト動作もリード動作ともこ

\* 幅を持つパルスを生成し、これは特開平7-141079と同じであり同等の信号波形品質を有していることを表す。その信号生成の時間順は波形(C)→(E)→(F)→(D)であった。これは、時間的に最もMC10-1から近いのはDRAM10-2(C)であり、最も遠いのは2つ目のDRAM10-3(D)ということになる。MC10-1から各DRAM10-2~10-5への信号伝搬遅延時間はそれぞれ、下記(数1)~(数4)で示される。

※ トークは生成されない。そのため端(B)には信号が誘起されることはない。このため、DRAM10-2からパルス信号をドライブすればメインライン1-1の端(B)が開放であっても、MC10-1にクロストークが生成される。これは従来技術の特開平7-141079と同じパルス幅をもつ。

【0037】図6のDRAM10-3(D)からMC10-1(A)への転送は図5とは逆向きの生成プロセスである。DRAM10-3(D)からのパルスは時間 $T_2$ 後に端子(C)に到達する。結合器C1では後方クロストークが誘起されこれはメインライン1-1上を端(B)方向に伝搬する。(D)からドライブされた時刻から時間 $T_2$ 後に、結合器C1により生成された後方クロストークが端(B)に到達する。ここで全反射しメインライン1-1を逆行する。そして、ドライブしてから時間 $T_2 + T_1$ 後にMC10-1に到達する。図6においてもMC10-1(A)に到達パルスの幅は図4と同じ2倍の $T_2$ である。

【0038】リード動作の各DRAM10-2~10-5からMC10-1への信号伝搬遅延時間は図4と同じである。すなわち、下記の(数5)~(数8)で示され

れらMC10-1とDRAM10-2~10-5間の伝搬遅延時間が同じである事が分かる。このことは従来技術を用いた場合と同じであり、メモリシステムでタイミ



ング設計を行う上で重要な特性である。すなわち、従来と同じタイミング設計手法をそのまま踏襲することが出来ることを意味する。これは開発工数の削減につながる。

【0039】このようにして、4つのDRAM10-2～10-5をバス接続し、双方向に信号伝送を行わせるのに2つの結合器だけでバスを構成できることが分かる。これはDRAMの実装面積を従来技術の図2に対して半分にでき、高密度実装が可能となった。すなわち、これまでの技術である特開平7-141079において 10は、図2のようにDRAM10-2～10-5の間隔(ピッチ)は方向性結合器が連続して配置しているためこの結合器の長さ以下には出来ないという課題があったが、図1あるいは図3のようにメインラインを開放端と\*

2線路間のキャパシタンス行列 -

CMATRIX (F/um) =

1. 446e-16 -6. 644e-17  
-6. 644e-17 1. 446e-16

…(数9)

2線路間のインダクタンス行列

LMATRIX (H/um) =

4. 487e-13 2. 062e-13  
2. 062e-13 4. 487e-13

…(数10)

特性インピーダンス行列

Real part =

6. 272e+01 2. 882e+01  
2. 882e+01 6. 272e+01

…(数11)

Imaginary part =

-3. 336e-01 -1. 694e-02  
-1. 694e-02 -3. 336e-01

(数12)

)このため、2線路の実効インピーダンス $Z_{eff}$ は55Ωであった。こおで、eは10を底とするべき乗を表す。※

Real part =

1. 000e+00 2. 433e-01  
2. 433e-01 1. 000e+00

…(数13)

Imaginary part =

0. 000e+00 1. 441e-03  
1. 441e-03 0. 000e+00

…(数14)

)であった。すなわち、1Vの信号が入射したとき0.2433Vの後方クロストークが誘起されることが分かる。

【0044】この結合器を用いて図8に示す等価回路で図3のMC10-1からDRAM10-2～10-5へのライトデータ波形をシミュレーションした。用いたシミュレータは回路解析用のSPICE (Simulation Program for Integrated Circuit Emphasis) である。MC10-1のドライバの等価回路としてパルス電圧源と抵

\*し、MC10-1のドライバをSource Impedance Matchingにし、かつ、終端されたDRAM10-2～10-5を用いることで同じメインラインに対し同じ配線長で倍のDRAMを接続できシステムとして高密度実装が可能となる。

【0040】次に、この信号伝送をシミュレーションにより確認した。これを図7～図12に示す。図7は方向性結合器の断面形状である。結合器の形状はシステムの要求により、様々に考えられるが、一般的なプリント基板の材料であるFR-4を用いてPCやPCサーバに用いられている配線幅(W=154μm)配線ピッチ(S=216.7μm)の技術である。これを電磁界解析したところ配線間の電気特性は以下になった。

【0041】

※【0042】

【0043】また、後方クロストーク係数は

抗 $r_s$ とした。メインライン1-1の等価回路として、公知の伝送線路モデルT1、T3、T5、及び方向性結合器として公知の損失結合線路モデルY2、Y4を接続し、伝送線路T5の一方の端子S6を高抵抗 $r_k$ で終端した。 $r_k$ は100kΩと高抵抗であるためほぼ開放端と見なすことができる。図3の端子(A)、(B)は、図8ではS1、S6に対応する。

【0045】DRAM10-2～10-5は終端抵抗 $r_{k1}$ 、 $r_{k2}$ 、 $r_{j1}$ 、 $r_{j2}$ と入力静電容量の $c_k$

1、ck2、cj1、cj2の並列接続で表した。図3の端子(C)、(D)は図8のK1、K4に対応し、図3の端子(E)、(F)は図8のJ1、J4に対応す \*

VPULSE : 振幅=1.8V 立上り時間=0.1ns

…(数15)

rs = 55Ω

…(数16)

t1、t3、t5、t6、t8、t9、t10 : 特性インピーダンス  $z_0=55\Omega$  td = 1

。0ns …(数17)

Y2、Y4 : 配線長=40mm

…(数18)

rk = 100KΩ

…(数19)

rk1、rk2、rj1、rj4 = 55Ω

…(数20)

Vtt = 0.9V

…(数21)

ck1、ck2、ck3、ck4 = 0.1pF

…(数22)

このシミュレーション波形が図9である。これはVTT = 0.9Vの例である。図4と同じくDRAM10-2 ~ 10-5に対応した端子K1、K4、J1、J4で綺麗な矩形パルスが生成されており、大きな乱れがないことがわかる。また、ドライブパルスの振幅0.9Vに対しクロストークの振幅も108mV ~ 220mVあり、K1、J1、J4、K4の振幅が順々に小さくなっているのはメインライン1-1の配線抵抗による。しかし、約100mVの信号はC-MOSを用いた半導体でも充分識別できる電圧レベルである。時間順もK1、J1、J4、K4の順で現れており、図4と同じであることがわかる。

【0046】次に、図10、図11を用いてDRAM10-2からMC10-1への信号伝送(read)波形を示す。図10は図8と同じで等価回路である。図1のDRAM10-2に対応したK0点にread波形としての電圧源が接続されている。DRAM10-2のドライバのインピーダンスはrk1で表されこのシミュレーションでは10Ωと配線インピーダンス $Z_0 (=55\Omega)$ より小さくしている。これはパルスの信号振幅を大きくするのが目的である。

【0047】また、メインラインのMC10-1に対応する点S1には配線の特性インピーダンス $Z_0$ と同じ抵抗値を持つ抵抗rs (=55Ω)が接続されている。この他の回路定数は図8の場合と同じである。この回路解析により求めた波形を図11に示す。MC10-1のS1点には368mVのパルスが到達しており、他点にはノイズとなるような波形の乱れは殆どない。この波形は図5とおおよそ等しい。

【0048】次に、DRAM10-3からMC10-1への信号波形を図12に示す。等価回路は図10の場合と比べてパルス電圧源がrk2に接続され、rk1は図8のように特性インピーダンスで終端電源VTTに接続されている。rk2は図10のrk1と同じく10Ωと低インピーダンスとなっている。この波形を図12に示す。

\*る。終端電位はVttで表す。これらの定数を以下に示す。

【0049】図12において、点線で表されたK4からのドライブパルスが図10の結合器Y2を通過することによりメインライン上にクロストークが生成され、このパルスはメインライン上を進行し端子S6で反射する。この反射は全反射なので振幅が倍となっている。これがS1に到達し結果として振幅302mVのパルスとなっている。また、到達時間は図11より遅く図9のS1からK4までの遅延時間と同じである。この波形でJ4に80mV程度のノイズが乗っているが問題とならない。なぜならばこの転送はDRAM10-3からMC10-1へのリード転送であり、DRAM10-5がこの信号を利用することはないためである。

【0050】同様にDRAM10-4、10-5から。リード波形もメカニズムは同じである。このため、MC10-1へリードデータを転送することができる。また、この時の伝搬遅延時間も図9と同じであることがわかる。

【0051】次に、図13、図14を用いて図1のMC10-1とDRAM10-2 ~ 10-5のI/O回路を説明する。

【0052】図13は、MC10-1のI/O回路である。51はMC10-1のドライバであり、52はレシーバであり、入出力端子(I/O PAD)と共に同電位に接続されている。ドライバ51はSource Impedance Matchingしておりデータを送信しない時も送信する時もこれに接続される配線の特性インピーダンスに等しいインピーダンスを有する。ドライバ51の最終段のトランジスタをM1、M2と表す。トランジスタM1とM2はトータンボール接続されておりM1は出力端子(I/O PAD)と電源VDDQに接続されているP-MOSトランジスタである。M2は出力端子とグランド(VSS)に接続されたN-MOSトランジスタである。この2つのトランジスタM1、M2はトランジスタのゲート幅を変えることでインピーダンスを可変に出来るので、この図13では表していないインピーダンス調整回路でトランジスタのゲート幅を調整することでメインラ

イン1-1の特性インピーダンスにマッチさせることができる。

【0053】MC10-1は出力するデータに応じてM1及びM2を制御する。出力データをDATAとし、出力イネーブル信号をOEすると、図1のMC10-1が有すべきドライバの特性は図13中の表ようになる。すなわち、DATA=L (logical low) でOE=Lの時のみM2がオンしL信号を送出する。その他の状態ではM1トランジスタがオンに成っている。このため、データを送信する場合も受信する場合もドライバのインピーダンスはメインラインの特性インピーダンスにマッチしていることになる。ドライバ51に接続されるのは開放端のメインラインであり、このように構成することでL信号をドライブしない限り電流の消費がない。

【0054】次にレシーバ52であるが、方向性結合器により生成された信号を弁別するためにヒステリシス特性を有している。すなわち、方向性結合器に入射される信号がL (logical low) からH (logical high) へ遷移する場合ここで正極性のパルスが生成され、信号がHからLへ遷移する場合は負極性のパルスが生成される。このため、この2つの極性の異なる信号を弁別するための1つの手法がヒステリシス特性である。

【0055】図1のバスに図13のMC10-1のドライバを接続する場合、MC10-1が読み込むリードデータはH状態の電位に対して正極・負極のパルスが生成される。なぜならば、方向性結合器は2線路間で直流

(DC)の結合がないためドライブ電圧のDC値とは無関係で、主結合配線の電位に対して交流(AC)パルスが生成される。そして、リード時は当然ドライバからデータは出力されず、メインラインの電位はH状態のVDDQに等しいためである。

【0056】そのため、レシーバ52では、I/O PADからの信号はドライバ51のH電位に対して、すなわちVDDQに対して比較される。このため、レシーバ52は信号を受ける回路はVDDQより高いVDDにより動作しており、例えばVDDQ=1.8Vの場合、VDD=2.5VとすればC-MOSでも問題なくレシーバ52を構成できる。

【0057】このように図1のMC10-1は図13のようなI/O回路を有することで信号を安定に送信し、かつ受信することが出来る。

【0058】次に、DRAM10-2~10-5のI/O回路の例を図14に示す。DRAM10-2~10-5のI/O回路は図13のMC10-1のI/O回路と殆ど同じでその差はドライバ51'にある。トランジスタM2が配線のインピーダンスより低い値を持つ。その他は図13の構成に同じである。

【0059】これは次の理由による。DRAM側の配線はデータを入力する場合両端を終端されている。また、データを出力する場合も他方のDRAMは整合終端条件

となっている。すなわち、遠端からの反射波は戻ってこない。これはMC10-1に接続されるメインラインの端が開放端である条件とは異なり、ドライバ51'を終端しておく必要がない。すなわち、ドライバ51'はSource Impedance Matchingの必要はない。このため、結合器により生成される信号をより大きくするにはドライブパルスをより大きくすればよい。このためM2のインピーダンスを下げることでより大きな振幅を確保できる。もちろんドライバ51'の出力インピーダンスを配線の特性インピーダンスに整合しても良い。この場合ドライブパルスの信号振幅は小さくなるがMC10-1のレシーバがデータを識別できるのなら、問題とならない。この場合のI/O回路の構成は図13に等しい。

【0060】データを受信する場合のドライバは、そのインピーダンスがメインラインの特性インピーダンスにマッチするようにH状態を出力する。そのため、同じ配線に接続された2つのDRAM10-2、10-3のドライバ51'は互いにH出力することになるが、これらの電位はVDDQと等しいのでこの状態での消費電流は流れない。すなわち、Hドライブ或いはデータがHiZの状態の時は消費電流が流れない。このように構成することでL信号をドライブしない限り電流の消費がなく図13のメインラインと同じ省電力の効果がある。

【0061】図13、図14の様に受信時のメインラインの電位がVDDQになっていても方向性結合器により生成される信号振幅に変化はない。このため、MC10-1ではH状態、L状態、HiZ状態であっても、2値信号を出力インピーダンスが配線のインピーダンスに整合した状態で出力するのでメインラインが開放端であってもドライバ部での反射はなく歪みの少ないドライブパルスを出力できる。また、DRAM10-2~10-5のドライバ51'をL状態のみ低インピーダンスにすることで信号振幅を確保できかつ波形が歪むこともない。この為、高速に安定してデータの送受信ができることになる。

【0062】次に、図15を用いて、プリント基板に実装した場合の配線様式について述べる。2-2~2-7はDRAM10-2~10-7をそれぞれ搭載するメモリモジュールである。1はMC10-1、メモリモジュール2-2~2-7を搭載するマザーボードで、メモリモジュール2-2~2-7はコネクタによりマザーボード1に接続されている。マザーボード1内の実線は部品搭載のための配線層であり、点線m1、x1は内層の信号線層を表している。

【0063】MC10-1からのメインライン1-1は、内層の配線層m1を図15の右から左手方向に直線上に配線されている。なお、コネクタの引出し配線、電源ピン用のVIAホールを迂回する必要がある場合は曲げてても良い。このメインライン1-1はこれとある間隔をあけて平行に配置された線路1-2~1-7の一部とで

結合器C1～C3を形成している。結合器C1～C3の副結合器の両端にDRAMへのスタブ配線が引かれている。この結合器C1～C3はメインライン1-1に対して連続してかつ重ならないように配置している。このように配線することでどのメモリモジュール2-2～2-7に対しても同じ配線密度で配線できる。メインライン1-1は図15の右の端（遠方端）で開放端となっている。

【0064】MC10-1とDRAM10-2～10-7間のデータ送受信は、DRAM10-2、10-4、10-6に対してはメインライン1-1上の進行波と結合器C1～C3による後方クロストークを、DRAM10-3、10-5、10-7に対しては遠方端での反射波とその後方クロストーク信号とを利用して行われている。

【0065】このように構成することで従来方式である図2に比べて同じメインライン1-1長で2倍のメモリモジュール2-2～2-7を接続することが可能となる。この図15では方向性結合器は内層2層を用いて構成したが、1層内の隣接した2配線によって構成しても効果は同じである。尚、この場合結合器を構成する内層を2層から1層へ低減することができるが、層当たりの配線密度は倍になるのでシステムの要件によって選択すればよい。

【0066】また、図15において、搭載するメモリモジュール2-2～2-7のうちで、システム構成によりあるメモリモジュールを搭載しない場合がある。この場合、空いているメモリモジュールで反射が生じるのでこれを抑えるために、配線を終端電源に整合終端させる抵抗を搭載した終端モジュールの挿入が必要である。この終端電源はメモリモジュール2-2～2-7と同じ電位であり、終端抵抗値もDRAM10-2～10-7のインピーダンスの値と同じである。当然終端モジュール内の配線の特性インピーダンスもメモリモジュールに等しくしておく。このように終端モジュールを構成し、空いているメモリモジュールのコネクタに挿入することで、配線の反射ノイズが無くなり安定してバス動作が出来ることになる。

【0067】第2の実施例を、図16を用いて説明する。本実施例の目的は、第一の実施例に対して更に高密度にメモリモジュールを実装することにある。Mother Board1において、これに搭載されるメモリモジュール2-2～2-9の間隔（ピッチ）は特開平7-141079においては方向性結合器が連続して配置しているためこの結合器の長さ以下にはできないという課題があった。

【0068】図15に対して本実施例の構成は、メインライン1-1の配線はMC10-1から見て信号層m1で図面右手方向に引き出され、右端で信号線層m2へVIAホールで層をm2へ変え左手方向に引き出される。そ

して、最遠端で開放される。

【0069】信号層m1のメインライン1-1はDRAM10-2、10-4間の配線1-2、DRAM10-6、10-8間の配線1-4とで結合器C1、C3を構成する。この折り返された信号層m2のメインライン1-1はDRAM10-7と10-9間の配線1-5との結合器C4、DRAM10-3と10-5間の配線1-3との結合器C2を構成する。

【0070】配線1-2、1-4は信号線層x1で、配線1-3、1-5は信号線層x2で副結合線部を構成している。このため、結合器C1、C3は配線層x1とm1で、結合器C2、C4は配線層m2、x2で構成されている。このため、結合器C1、C3を上方層、C2、C4を下方層で構成されていると呼ぶことにする。

【0071】結合器C1～C4はメインライン1-1に対して配線の特性インピーダンスが一定になるように連続配置されている。MC10-1とDRAM10-2～10-9間のデータ転送が何れの結合器においても後方クロストークを用いて行われるよう配置・配線されている。すなわち、上方層にある結合器C2、C4に接続されたDRAM10-2、10-6はm1層のメインライン1-1を流れる進行波によって、下方層の結合器C4、C2に接続されたDRAM10-9、10-5はよってm2層のメインライン1-1を流れる進行波によって後方クロストークが誘起される。そして、下方層にある結合器C2、C4に接続されたDRAM10-3、10-7はm2層のメインライン1-1を流れる反射波によって、DRAM10-8、10-4は上方層の結合器C4、C2によってm1層のメインライン1-1の反射波によって後方クロストークが誘起される。このように何れの転送に於いても後方クロストークが生じるよう配置されていることになる。

【0072】このよう結合器を構成する主結合配線であるメインライン1-1を一方の層から他方の層へと1回折り返しそれぞれの層で方向性結合器を構成出来るので、メモリモジュール2-2～2-9の間隔を、方向性結合器C1～C4の結合器の配線長の半分程度に出来る。このため、1枚のMother Board1にメモリモジュールを高密度で実装することが出来るようになる。実施例1の図15に対して2倍の、従来例の図2に対して4倍の高密度実装が可能となっている。このような場合でも結合に必要な結合長は同じで信号伝搬のための必要な結合量は図2の特開平7-141079と比べて同じであり同等の信号波形品質を有していることになる。

【0073】すなわち、これまでの技術である特開平7-141079においては、図2のようにマザーボード1に搭載されるメモリモジュール2-2～2-4の間隔（ピッチ）は方向性結合器が連続して配置しているためこの結合器の長さ以下には出来ないという課題があったが、図16のようにメインラインを折り返したことで、

マザーボード1に搭載されるメモリモジュール2-2~2-9の間隔(ピッチ)を結合器の長さの1/4にできシステムとして高密度実装が可能となる。

【0074】また、図16において第一の実施例と同じく、搭載するメモリモジュール2-2~2-9のうち、システム構成によりあるメモリモジュールを搭載しない場合がある。この場合、空いているメモリモジュールで反射が生じるのでこれを抑えるために、配線を終端電源に整合終端させる抵抗を搭載した終端モジュールの挿入が必要である。この終端電源はメモリモジュール2-2~2-9と同じ電位であり、終端抵抗値もDRAM10-2~10-9のインピーダンスの値と同じである。当然、終端モジュール内の配線の特性インピーダンスもメモリモジュールに等しくしておく。このように終端モジュールを構成し、空いているメモリモジュールのコネクタに挿入することで、配線の反射ノイズが無くなり安定してバス動作が出来ることになる。

【0075】次に、図17に図16に対応するマザーボード1の層構成の例を示す。図17は図16のマザーボード1のメインライン1-1に対して垂直な方向の断面である。上層からCAP1層、電源層(V1)、グランド層(G1)、信号層(m1)、信号層(x1)、グランド層(G2)、電源層(V2)、信号層(m2)、信号層(x2)、グランド層(G3)、電源層(V3)、CAP2層となっている例である。一般的に、プリント配線板は両面を銅で覆われた銅張板をプリブレグで接着してあり、このプリブレグを2本の波線で表した。

【0076】方向性結合器はm1層、x1層の上下層に並んだ並行配線1-1、1-2により、図16中の結合器C1を構成している。又同様に、m2層、x2層の上下層に並んだ並行配線1-1、1-3により、図16中の結合器C2を構成している。ここで、信号層m1のメインライン1-1と信号層m2のメインライン1-1は図16の折り返された同じ配線である。

【0077】これら、m1層とx1層とm2層とx2層の結合器間にグランド層或いは電源層が位置しており、方向性結合器C1とC2間の結合である信号間のノイズを防ぐよう機能している。このように構成することにより結合器間の信号の結合すなわち漏話ノイズが小さく高速のデータ転送を可能とする。

【0078】また、図18のように、結合器は断面に対して横方向に配置して結合するように構成しても良い。ここで言う横方向とは同一層を用いて結合器を構成することを言う。例えば、楕円で囲った結合器C1aはメインライン1-1aと配線1-2aからなり、折り返されたメインライン1-1aはm2層で配線1-3aと結合器C2aを形成する。同様に、信号ビットの異なるメインライン1-1bはm1層で配線1-2bと結合して結合器C1bを形成し、折り返されたメインライン1-1bは配線1-3bと結合器C2bを形成する。それぞれ

の結合器C1a、C1b、C2a、C2b間の結合であるノイズ量を低減するために層間には平面の電源層を挿入し、信号線1-1a、1-1b間では距離を離している。このような構成なので結合器を構成するための層数が少なく済むという効果が図17に比べてある。

【0079】第3の実施例として図19を用いて説明する。本実施例は図1に対してメインライン1-1の遠端を短絡した構成例である。

【0080】短絡とは配線のインピーダンスに比べ非常に低いインピーダンスで接続することを言い、図19では内部インピーダンスが零の電源に接続されている。このように接続することで遠端で全反射が生じるがこの場合、反射係数は-1となるので進行波とは極性が異なる。このため、反射波を利用したDRAM10-5、10-3に生じる後方クロストークの符号も図1に対して逆になりDRAM10-2、10-3に対して負論理となる。すなわち、DRAM10-3、10-5のレシーバはDRAM10-2、10-4に比べて負論理となっている。同様にドライバもDRAM10-3、10-5は負論理となっている。

【0081】ここで、短絡する電源はグランドであってもVDDQであっても良い。MC10-1内のドライバの出カインピーダンスは実施例1(図1)のドライバと同じく配線の特性インピーダンスと同じであるがHiZ状態であるデータ出力をしない状態の出力電位とこの短絡電位は揃えておくことは言うまでもない。その理由は、これをしない場合、データ転送を行わない場合でも電流がドライバから流れ消費電力が上ってしまうからである。

【0082】このように構成することで、正論理と負論理の信号を混在して使うことができる。DRAM10-2~10-5は同じ構成であるがシステム上ある信号を偶数番目と奇数番目のDRAMに対して極性を変えたい場合がある。例えば、DRAMに入力させるクロック信号で立上りエッジを使いたい場合と立ち下がりエッジを使いたいときがこれに相当する。いくつか接続されているDRAMをMCから時間順に見て半分より後ろのDRAMが負論理となるので前半分と後半分でクロックの位相を変えることができる。これはメインラインの伝搬遅延時間よりクロックの周期が短くなった場合の時間位相調整で使うことができる。

【0083】図15、図16の様な構成で、マザーボード上のある信号の配線を開放端にするか短絡端にするかで同じモジュールを用いた場合でも偶数番目のモジュールを選択的に負論理にできることになる。例えば、MC10-1からのチップセレクト信号をDRAM10-2、10-3で共有することで1本の信号でDRAM10-2、10-3を排他的に選択できるのでチップセレクト信号を減らすことができる。

【0084】また、メインライン1-1の遠端を開放端

にする場合に比べて電磁界が遮断されるため空間に閉じこめられ自由空間に放射される電磁波が少なくなる。すなわち、電磁放射ノイズを低減できる効果がある。

【0085】第4の実施例を、図20を用いて説明する。本実施例は、図19の実施例を差動信号に応用した実施例である。ソースインピーダンスマッチングしたMC10-1内の差動ドライバからのメインライン1-1はリングを構成している。このリングのメインライン1-1に対して結合器C1~C4を構成するようにDRAM10-2~10-5が接続されている。結合器C1、C3に対してDRAM10-2、10-4内の差動I/O回路は正論理端子に、結合器C2、C4に対しては負論理端子に接続されている。それに対して、DRAM10-3、10-5では結合器C2、C4が正論理端子、結合器C1、C3が負論理端子に接続されている。また、結合器C1、C2のMC10-1からの配線長は右回りも左回りも同じであり、同じ時刻にパルスが到達する。結合器C3、C4に対しても同じである。

【0086】このリング状のメインライン1-1は図20の右端の部分で折り返され、この部分でMC10-1からの差動のパルスである符号の異なる同じ電位のパルスが重なりあうので、結果として図19のように短絡した場合と同じ振る舞いをする。すなわち、図20では、MC10-1の正論理側からのドライブパルスは左から右へ正極性の進行波が伝搬し折り返し部分に到達するが、ここを通過すると右から左へのドライバの負極からの負極の進行波が進行する。この波形がMC10-1からの遠端を短絡した状態と同じであるためである。

【0087】この様に構成することで差動信号に対しても偶数番目のDRAMを選択的に負論理にすることができる。また、図21の様に差動線路を構成してもよい。

【0088】ソースインピーダンスマッチングしたMC10-1からの差動信号配線であるメインライン1-1a、1-1bを2本の開放端を持つ配線で構成する。開放端では正の全反射波が生じるので、DRAM10-3、10-5のレシーバの入力は図20と逆になる。すなわち、結合器C1に接続されるDRAM10-2、10-3は正論理端子に、結合器C2に接続されるDRAM10-2、10-3は負論理端子に接続されている。このようにすることで、全て正論理の差動信号を伝送することが出来る。

【0089】また、図20と図21を組み合わせ、バス接続されている同じDRAMに対してメインラインをリング状に構成するか2本のopen-endにするかによって偶数番目のDRAMを選択的に正論理にも負論理にも出来る。これは図15、16ではマザーボードの配線を短絡するか開放とするかだけでありこの他の部品を何も必要としない。このため、システム設計の自由度が広がる。

【0090】さて、DQ (data) 信号のラッチにDQS

(data strobe)信号を用いるメモリモジュールシステム、例えばDDR-SDRAM (Double Data Rate Synchronous DRAM) において、ライトデータのレイテンシが長いという課題があった。これを図22を用いて説明する。

【0091】DDR-SDRAMで採用されているSSTL (Stub Series Terminated Logic) インタフェースはHiz状態が終端電圧のV<sub>tt</sub>と同じであり、レシーバの基準電圧V<sub>ref</sub>も終端電圧V<sub>tt</sub>とほぼ同じため、HizからL状態あるいはHizからH状態への遷移の検出ができないという課題があった。

【0092】図22においてクロックCKを基準にコマンドが発行されデータが送出される。例えばステージ1においてライトコマンドが発行され、ライトデータ(DA0)がステージ2より送信されている。ストロブ信号DQSはステージ1でHizの状態から一度Lに落とし、ステージ2でデータをラッチするためのストロブ信号をドライブしており、この結果データ信号に1サイクルwaitが入っている。

【0093】これは、メモリはDQSがHizからL状態へ遷移検出ができず、DQSがLからHになって初めてDQSの遷移を識別できるようになるからである。このためにDQS遷移の認識用に1ステージ分のプリアンプルであるwaitが入っていた。

【0094】これに対し実施例1の方向性結合器を用いる場合は図23に示すように、コマンドと同期してデータを発行することができる。ここで、DQT<sub>x</sub>とはMC10-1から送信されるデータ信号波形であり、DQR<sub>x</sub>とは方向性結合器により誘起された後方クロストークでありDRAMのレシーバに入力されるデータ信号波形である。同様に、ストロブに対してはDQST<sub>x</sub>、DQSR<sub>x</sub>はそれぞれMCの出力信号とDRAMの入力信号である。

【0095】図23から分かるようにMCからはライト・コマンドとデータであるDQT<sub>x</sub>が同時に発行でき、ストロブ信号であるDQST<sub>x</sub>もステージ1でドライブできる。すなわち、DQST<sub>x</sub>がHizからLへの変化するとDQSR<sub>x</sub>信号にパルスが生じ、このパルスをDRAMでは識別できるのである。これにより、DQSにプリアンプルが必要でなくなりwriteコマンドとwriteデータを同時に発行できる。このためメモリライトのアクセスレイテンシを1ステージ分短くすることができる。これにより、システムとしてはメモリアクセスのレイテンシが向上するためシステム性能が向上する。

【0096】また、SSTLドライバを用いて方向性結合器を用いたバスの場合、すなわち、図2の様なメインライン及び副結合配線を終端させた場合は、プリアンプル部の振幅がデータ転送の振幅と比べて半分である。すなわちドライブ振幅がHiz状態からL状態或いはHiz状態からH状態への遷移はL状態からH状態へ、またその逆の遷



移に比べて信号が半分程度である。このため、レシーバに入力される振幅は半分となりレシーバの感度が足りなく振幅を確保する必要があった。このため、SSTLドライバを用いた場合ではいったんHiZからL状態にストロブ信号を遷移させ信号振幅を確保する必要があり、結果としてメモリライトでアクセス時間が伸びていた。

【0097】メモリコントローラはデータ転送のための信号を2値とし、かつそのインピーダンスはメモリコントローラ側は配線の特性インピーダンスと同じインピーダンスとする。すなわち、データを転送していない場合のHiZ状態もH状態も同じ電位とし配線の特性インピーダンスと同じインピーダンスでドライブしておく。データがL状態のときも特性インピーダンスと同じインピーダンスでL信号をドライブする。このようにすることで反射波を吸収することができる。

【0098】信号をHiZ状態からL状態にドライブした場合もH状態からL状態にドライブした場合も同じ振幅であり、このため結合器を通過した信号はこの2つの転送で同じ振幅となる。これにより、どの信号の遷移でも同じ信号振幅となるのでブリアンプの必要はなくなる。ブリアンプが不必要となるためメモリアクセス時間が短くなりバス使用効率が上がりシステム性能が向上する。

【0099】次に、メモリライトデータの信号振幅を大きくする方法について図24、図25を用いて説明する。

【0100】図14の様にDRAMの入力インピーダンスも配線のインピーダンスに整合している。そのため、メモリライトのデータ信号は方向性結合器で生じた信号と同じ振幅の信号が入力される。これを図24の様に構成することで信号振幅を大きくできる。

【0101】51aは本実施例のドライバである。52のレシーバは図14と同じ構成である。ドライバ51aは図14に比べて制御信号(WRITE)が増えている。動作は図24中の表に示した。すなわち、WRITE信号がHのときは動作は図14と同じであるが、WRITE信号がLとなった場合、トランジスタM1もM2もHiZとなり、結果としてDRAMの入力インピーダンスはHiZとなる。すなわち、LのWRITE信号が入力されるDRAMのドライバ51aは入力インピーダンスがHiZとなり、配線からの信号が全反射する。このため、配線からの信号振幅が2倍となってレシーバ52に入力される。このため、レシーバ52が図14と比べて感度が高くなってよく、また、ノイズマージンが増えるので、耐ノイズ性を大きくできる事になる。

【0102】この回路を有するDRAMは図1のように方向性結合器を介して配線の特性インピーダンスと同じインピーダンスを持つDRAMあるいは終端モジュールと1対1接続されている。このため図24のI/O回路を有するDRAMがHiZとなって、方向性結合器から

の信号が全反射を起こした場合でも他方のDRAMのWRITE信号がHもしくは終端モジュールが接続されてればこの反射波が吸収されることになる。このため、ドライバ51aがHiZになってもDRAMを接続する配線1-2上の信号は乱れることなく、安定動作が可能である。

【0103】次に、図25を用いてWRITE信号の出力タイミングを説明する。図25は図22と同じく、WRITEコマンドが発行されてからライトデータが出力されるまで1ステージ空きがある例である。ライトコマンドはMCから出力されてから配線の伝搬遅延時間後にDRAMに到達する。DRAMに到達したこの信号をCOMMANDRxと表した。DRAMはこのWRITEコマンドの他にチップセレクト信号や他の制御信号により書き込みの対象が自分であることがDRAMは識別できる。

【0104】DQTx、DQSTxはWRITEコマンドを発行後、1ステージ後に出力され同じ配線遅延時間後にDRAMに到達する。これをDQRx、DQSRxとした。負論理のWRITE信号はDRAMの内部信号であるがコマンドWRITE信号を受信してからL出力される。そして、そのL期間はデータのバースト長とほぼ同じかそれ以上の長さを持つ。このため、この期間は書き込み対象のDRAMの入力インピーダンスがHiZとなるのでライトデータを受け取る期間だけ信号振幅が2倍となる。このため、レシーバのノイズマージンが確保できると共に、波形歪みも少ないので安定動作が可能となる。

【0105】次に、図26は本発明の方向性結合器を用いたメモリバスシステムを応用した実施例を示す。

【0106】図26は4つのCPUとチップセット300がプロセッサバス201により相互接続されている。また、DRAMを制御するメモリコントローラを内蔵するチップセット300がメモリバス202により相互接続されている。更にPCI(Personal Connect Interface)などの周辺装置を接続するためのI/O LSIとチップセット300がI/Oバス203により相互接続されている。また、グラフィックポートとして、チップセット300とグラフィック制御LSIがグラフィックバス204を介して接続されている。

【0107】これらのバス201~204はチップセット300に接続されている。チップセット300はバス201~204の各バス間のデータ送受信を司る。

【0108】ここで、メモリバス202に結合器を用いたデータ転送を行っている。これによりメモリアクセスの高速動作が可能でスループットが向上し、レイテンシが短くなるのでシステム性能が向上するという効果がある。

【0109】又、図27のようにプロセッサモジュール400内のキャッシュメモリバス410に応用しても同等

な効果が得られる。この場合、結合器はプロセッサモジュール内に構成され、例えば、MCM (Multi Chip Module) のように多数の半導体素子を1つのパッケージに実装する技術を用いれば、キャッシュコントローラを内蔵するプロセッサとキャッシュメモリをパッケージに構成された結合器により結合させることができ、これにより高速なデータ転送が可能となる。

【0110】第5の実施例を図28を用いて説明する。本実施例は本来多ビットで構成されているバスの1ビットの信号を抜き出した図である。本実施例では1つの方向性結合器を用いて1つのMCと2つのDRAM間でデータ転送を行う例であり、生成される信号量を増加させる。

【0111】本実施例のバスではMC10-1及びDRAM10-2、DRAM10-3が接続されており、MC10-1とDRAM10-3はそのピンから見た内部インピーダンスが線路の持つ特性インピーダンスと同じである、いわゆる、ソースインピーダンスマッチングがなされている。但しDRAM10-2の入ラインピーダンスはH i Zである。ここで、方向性結合器C1の端のうち配線1-2のMC10-1側の端はDRAM10-2に接続されるが、この配線長は極めて短い。例えばMC10-1が搭載されているマザーボードの結合器C1の直下にDRAM10-2を直付けすることでこの配線長を極小にできる。

【0112】なお、結合器C1の他方の端からDRAM10-3の端(D)への配線は例えばモジュール構成のように、ある程度長さがあっても良い。ただし、配線1-2のうち結合器を構成する副結合線部のDRAM10-3側の端からは主結合線路1-1の端(B)に鉛直に相対するところから配線が引き出されており、主結合線路が副結合線路に対して長短が有るわけではない。

【0113】図29を用いて図28の配線構成の場合の、メモリライト動作時の波形を説明する。図ではMC10-1から結合器までの配線、及び、副結合器からDRAM10-3までの配線長は無視できるぐらい短くして説明する。

【0114】図29はMC10-1からのメモリライトデータの波形である。(A)の波形はソースインピーダンスマッチングした波形なので図4の波形(A)と同じく方向性結合器の往復伝搬遅延時間T2の期間だけドライブ電圧のおおよそ半分である電圧(V1)が続く。その後、反射波が戻ってくるので(2\*V1)まで上昇する。配線1-1のMC10-1とは反対側の(B)端では遅延時間T2後、進行波が到達すると同時に反射波が生成されこれらが重なり合うので、電圧は(2\*V1)となっている。

【0115】配線1-2(C)端には、結合器C1を端(A)から端(B)への進行波が伝搬するときに生成される後方クロストーク信号(Kb\*V1)が伝達される

が、この(C)端がH i Zであるためこの後方クロストーク信号が全反射し2倍となるので(C)端での信号電圧は(2\*Kb\*V1)となる。

【0116】また、配線1-2(D)端にもこれと同じ(2\*Kb\*V1)の電圧が伝搬される。これは2つの後方クロストークが重なり合った結果である。

【0117】1つ目の後方クロストークは、結合器C1の進行波が端(C)側に生成した信号が配線1-2の(C)で反射し配線1-2の端(D)側に伝搬する信号である。この伝搬した信号はKb\*V1である。2つ目は、結合器C1を伝搬する進行波が配線1-1(B)端での反射し、この反射波が結合器C1で配線1-2

(D)端側に後方クロストーク信号(Kb\*V1)を生成する。この2つの後方クロストーク信号の位相は同じであり、同位相で重なり2倍の信号すなわち(2\*Kb\*V1)となる。なお、DRAM10-3の入ラインピーダンスは配線の特性インピーダンスにマッチングしているのでDRAM10-3の端での再反射はなく吸収される。これは、図4に比べて2倍に信号振幅が増加している。

【0118】すなわち、メモリライトの動作において端(C)並びに端(D)において、反射を用いているため信号振幅が2倍となっている。このため、DRAM10-2、10-3のノイズ耐性が大きくなることを意味し安定かつ高速にデータ転送が実現できる。

【0119】図30を用いて図28の配線構成の場合のメモリリード動作時の波形を説明する。図30はDRAM10-2からのメモリリードデータの波形である。DRAM10-2のドライバは線路の特性インピーダンスより低いインピーダンスでドライブするので、端(C)の波形は、ほぼフル振幅(2\*V1)の波形が出力される。ドライブされた信号は端(D)にて遅延時間T2後吸収される。これはDRAM10-3が持つソースインピーダンスマッチング機能により整合終端されているためである。配線1-2を伝送するDRAM10-2からの信号は後方クロストークを生成し端(A)に生じる電圧は2\*V1\*Kbとなる。なお、端(A)においてもソースインピーダンスマッチングされているのでこの端での反射はない。

【0120】図31はDRAM10-3からのメモリリードデータ波形を示す。ソースインピーダンスマッチングドライバを有するDRAM10-3からの出力は、電源電圧の半分の振幅(V1)であり、図29と同様に

(2\*T2)後に反射波によりフル振幅になる。副結合線路を端(D)側から端(C)側へ向かうドライブ信号電圧は端(B)側に後方クロストーク電圧(V1\*Kb)を生成するがすぐさま端(B)にて反射し端(A)へと向かう。更に副結合線路の端(C)で全反射した信号は今度は端(D)側へ戻っていく。この時も主結合線路の端(A)側に後方クロストーク信号(V1\*Kb)

を生成させる。主結合線路上のこの2つの信号が同じ位相で重なり端 (A) に於いて2倍の信号となる。このため、DRAM10-3からのメモリリードデータも ( $2 * V1 * Kb$ ) となり信号量が2倍となる。

【0121】 以上のようにDRAM10-2、DRAM10-3からのメモリリードデータに対しても信号量は ( $2 * V1 * Kb$ ) となる事が分かる。

【0122】 このようにして、メモリライト、メモリリードの動作においてデータ信号はいずれの場合でも ( $2 * V1 * Kb$ ) と信号振幅が2倍となっているため、MC10-1、DRAM10-2、10-3間のデータ転送においてノイズ耐性が大きくなり、安定かつ高速にデータ転送が実現できる。

【0123】 図32、33に示すように、以上のメモリアクセスの振舞をシミュレーションにより確認した。

【0124】 図32はMC10-1から出力されるメモリライトのデータ波形である。結合線路は図7の配線断面寸法を有し、図8の場合と同じく結合器の配線長は40mmと同じである。図32、33では先の説明と同じく、配線1-1においてMC10-1から結合器までの引出し配線、及び、配線1-2において副結合器からDRAM10-3までの配線長は無視できるぐらい短いと仮定している。

【0125】 シミュレーションの結果、図32のメモリライトデータ波形は端 (C)、端 (D) の信号が約390mVと、図9の端K1、端J1の220mVに比べて1.8倍程度になっていることが分かる。これは先に述べたようにクロストークと反射波が同位相で重畳したためである。

【0126】 図33はDRAM10-2からのメモリリード時のデータ波形である。端 (C) に接続されているDRAM10-2の出カインピーダンスは10Ωと配線特性インピーダンスに比べて低いのでほぼフル振幅でドライブしており、これが図28の方向性結合器C1により端 (A) すなわちMC10-1へデータを伝搬させる。このときの信号振幅も約320mVあり、図11とほぼ同じ大きさの信号振幅を持つことが分かる。また、図32、33から分かるように生成される信号の時間幅は結合器の往復伝搬遅延時間 ( $2 * T2$ ) の0.48nsに等しく、これは図9、図11、図12の後方クロストークパルス幅と同じである。

【0127】 なお、DRAM10-3からMC10-1へのデータ伝送波形はほぼ図32と同じであった。理由としてはDRAM10-3から見た負荷条件がMC10-1から見た負荷条件とほとんど同じであるためである。DRAM10-3から見た負荷条件が、結合器までの配線、終端されていない方向性結合器と続き、他方の結合器を構成する配線条件も近端側が開放端で遠端側が終端された条件である。DRAM10-3の負荷条件とMC10-1の負荷条件で唯一異なるのはDRAM10

-2がDRAM10-3側配線に接続されている点であるが、このDRAM10-2の入カインピーダンスはHiZであり、ほぼ開放端と見なせるためDRAM10-3からのリードデータ波形も図32とほとんど同じになる。すなわち、図32で波形 (A) の点線がDRAM10-3からの出力波形に、波形 (B) がDRAM10-2の端 (C) での波形に、(C) の波形が端 (B) の波形に、(D) の波形がMC10-1の入力波形に対応する。

【0128】 以上の様にシミュレーションの結果からも図28でMC10-1からのメモリライトデータ信号も、DRAM10-2、10-3からのリードデータ波形も350mV以上の振幅を持ち、図1に比べてメモリライトの信号電圧が大きくなっていることが分かる。

【0129】 これを実装した場合の断面図を図34と図35に示す。

【0130】 図34は図15、図16と同じくマザーボード1の断面方向から見た図で、図34は図28の入カインピーダンスがHiZのDRAM10-2がマザーボード1に直接実装され、入カインピーダンスがソースインピーダンスマッチングしたDRAM10-3がメモリモジュール2-2に実装された状態でコネクタを介して接続されている。それぞれのチップを接続する方向性結合器はマザーボード1内に構成され、MC10-1からの主結合線路を含む配線1-1は層m1に、副結合線路を含む配線1-2は層x1に設けられている。線路1-2の副結合器からメモリモジュール2-2への引出し点に相対する点で主結合線1-1が終わっていることに注意されたい。これにより後方クロストークと反射が同位相で重なり信号が増幅される効果を生む。

【0131】 DRAM10-3は終端 (ソースインピーダンスマッチング) されていると説明したがもちろん入カインピーダンスはHiZのDRAMに外付けの抵抗器で終端させる方法を用いてもよい。この場合、DRAM10-2とDRAM10-3とが同じものが使える。

【0132】 図35は図34に対してメモリモジュール2-2の代わりに終端ボード2-2' がコネクタに挿入されている。これはシステムの構成上、システムが必要とするメモリ容量がDRAM10-2を実装することで最低限満たしており、この状態で出荷する場合に用いられる。そして、その後システムの性能を向上させるなどメモリを拡張の必要が生じた場合、図35の終端ボード2-2' を抜き、図34の様にDRAM10-3を搭載したメモリモジュール2-2を挿入することでメモリが拡張できる。以上のように、本実施例は図34、35のようにシステムの拡張性がある実装方式であるといえる。

【0133】 また、図34においてDRAM10-2を搭載せず、メモリモジュール2-2のみ搭載するように構成しても生成される信号は同じであることからMC1

0-1とDRAM10-3間でデータ転送をすることも可能である。実装上の制約がある場合などにDRAM10-2を搭載する事ができない場合でも信号量を2倍にできる効果がある。

【0134】図36に第6の実施例を示す。第5の実施例である図28に対して搭載できるDRAMの容量を増やした実施例である。

【0135】本実施例のバスではMC10-1及びDRAM10-2~10-5が接続されており、MC10-1とDRAM10-3、DRAM10-5はそのピンから見た内部インピーダンスが線路の持つ特性インピーダンスと同じであるソースインピーダンスマッチングされている。DRAM10-2、10-4の入力インピーダンスはHiZである。ここで、方向性結合器C1を構成する副結合線路1-2a、1-2bの一方の端でそれぞれDRAM10-2、10-4に接続される。例えばMC10-1が搭載されているマザーボードの結合器C1の直下あるいは直上にDRAM10-2、10-4をそれぞれ直付けすることで接続できる。

【0136】なお、結合器C1の配線1-2a、1-2bの副結合配線部の他方の端からDRAM10-3、10-5への配線は、例えば図34のようなモジュール構成のようにある程度長さがあっても良い。ただし、副結合線のDRAM10-3、10-5側の端は主結合線路の端に相対するところから鉛直に引き出されており、主結合線路が副結合線路に対して長短が有るわけではない。

【0137】方向性結合器C1ではMC10-1に接続された線路1-1に対して、両側に配線1-2a、1-2bを配置されるが、これら配線1-2a、1-2bに対して同じ後方クロストーク結合係数を持つように調整されている。すなわち、同じ配線幅、同じ配線ピッチ、同じ配線長を持つように配置されている。線路1-2a、1-2bはこのように構成されているため、メモリライトデータの信号は、図29に示したようにDRAM10-2とDRAM10-4、或いはDRAM10-3とDRAM10-5で同じ波形になる。すなわち先に説明したようにDRAM10-2~10-5での信号振幅は反射波が重畳されている分2倍の大きさ(2\*Kb\*V1)に大きさが揃っている。

【0138】同様に、DRAM10-2あるいはDRAM10-4からのメモリリードデータの波形は方向性結合器C1はMC10-1に接続された線路1-1に対して同じ結合係数を持つように副結合線路1-2a、1-2bが構成されているため、同じ大きさであり、図30で説明した様に(2\*Kb\*V1)の大きさになっている。DRAM10-3或いはDRAM10-5からのメモリリードデータ波形も同様に図31と同じ(2\*Kb\*V1)の大きさになっている。

【0139】この図36の様に構成することで、1つの

MC10-1に対して4つのDRAM10-2~10-5を接続することができ、第5の実施例に比べてメモリ容量を増加できるという効果がある。これはもちろん、DRAM10-3、10-5をモジュールに搭載し、メモリ容量が少なくてもよいシステム場合は終端ボードで終端し、拡張が必要な場合はDRAM10-3、10-5を実装したメモリモジュールに交換することでシステムにメモリの拡張性を持たせることができるのは言うまでもない。

【0140】図37を用いて第7の実施例を説明する。本実施例では、図36の主結合線1-1にMOSスイッチなどの接続手段を介することでさらにメモリ搭載量を拡張させることができる。

【0141】3-1、3-2はMOSスイッチであり、MC10-1内に設けられた切替え手段(セクタ)4で制御される。MOSスイッチ3-1、3-2はMC10-1に接続された線路1-1内に設けられ、MOSスイッチ3-1とMC10-1間の配線1-1(A)が線路1-2a、1-2bとで方向性結合器C1を構成している。MOSスイッチ3-2とMOSスイッチ3-2間の配線1-1(B)が線路1-3a、1-3bとで方向性結合器C2を構成している。MOSスイッチ3-2から端までの配線1-1(C)が線路1-4a、1-4bとで方向性結合器C3を構成している。結合器C1にはDRAM10-2~10-5が接続され、結合器C2にはDRAM10-6~10-9が接続され、結合器C3にはDRAM10-10~10-13が接続されている。この結合器C1~C3とDRAM10-2~10-13の接続様式は図36に同じである。

【0142】MC10-1と、DRAM10-2~10-5の内の1つのDRAM間でデータ転送させる場合、MOSスイッチ3-1は線路1-1(A)と1-1(B)が切り離されるように切替え手段4により制御される。このため、線路1-1(A)上を伝搬する信号はMOSスイッチ3-1の端でほぼ全反射する。このため、MC10-1、DRAM10-2~10-5は図36と全く同じ動作をすることになる。

【0143】次にMC10-1と、DRAM10-6~10-9の内の1つのDRAM間でデータ転送させる場合、MOSスイッチ3-1は線路1-1(A)と1-1(B)が導通するように、また、MOSスイッチ3-2は線路1-1(B)と1-1(C)が切り離されるように切替え手段4により制御される。このため、線路1-1(B)上を伝搬する信号はMOSスイッチ3-2の端でほぼ全反射する。このため、MC10-1、DRAM10-6~10-9は図36と全く同じ動作をすることになる。なお、DRAM10-2~10-5と線路1-2a、1-2bは線路1-1(A)に接触しておらず1-1(A)と1-1(B)の線路の特性インピーダンスが同じであるため、1-1(A)、1-1(B)を伝送

する信号に歪みを与えるものではない。もちろんMOS 3-1の導通抵抗は線路インピーダンスに比べて非常に小さいことが望ましい。これはインピーダンスミスマッチによる波形歪みを抑える効果がある。

【0144】同様に、MC10-1と、DRAM10-10~10-13の内の1つのDRAM間でデータ転送させる場合、MOSスイッチ3-1とMOSスイッチ3-2は導通するように切替え手段4により制御される。このため、線路1-1(C)上を伝搬する信号は遠端でほぼ全反射する。このため、MC10-1、DRAM10-9~10-13は図36と全く同じ動作をすることになる。

【0145】このようにMOSスイッチ3-1、3-2を非導通にする或いは導通にすることで、MC10-1とDRAM10-2~10-3の内の1つのDRAM間で選択的にデータ転送を行うことができる。すなわち図36の場合に比べてシステムに搭載できるDRAMの個数を増やすことができるという効果がある。この切替え手段は、DRAMに用いられているチップセクタなどの信号と共用してもよい。

【0146】また、このDRAM10-2~10-13すべてを搭載するかどうかはシステムの要件にかかわらず最初は少ないDRAMを搭載し、機能拡張が求められたときにDRAMを追加すればよい。必要なら図35のような終端ボード2-2'を用いても良い。

【0147】図38を用いて第8の実施例を説明する。図38において方向性結合器C1は図36と同じように配線1-1と、配線1-1に対して両側に同じ間隔で平行に近接して配置された線路1-2a、1-2bとで構成されており、更に、配線1-2a、1-2bのMC10-1側の端が接続されている事を特徴とする。また、配線1-2a、1-2bの他方の2つの端はDRAM10-2、10-3へそれぞれ鉛直に配線が引き出されている。

【0148】DRAM10-2、10-3の持つ入力インピーダンスはそのメモリへのアクセスが有るかどうかで異なる。メモリアクセスがある場合、入力インピーダンスはHiZになり、そうでない場合はソースインピーダンスマッチング状態になる。なお、MC10-1は絶えずソースインピーダンスマッチング状態である。このように構成することにより信号量を4倍の $4 * K_b * V_1$ にする事ができる。

【0149】図39にメモリライト時のデータのシミュレーション波形を示す。シミュレーション条件は配線に掛かる部分以外は同じである。メカニズムを以下に示す。この図はMC10-1からDRAM10-2へのデータ転送の波形である。

【0150】MC10-1の端(A)からの出力は、そのインピーダンスが配線の持つ特性インピーダンスと同じであるため階段状になる。このときの配線1-1を伝

搬していく信号を $V_1$ とする。この信号は、配線1-2a、1-2bに後方クロストークを生成しその大きさは $K_b * V_1$ である。配線1-2bで生成された後方クロストークは配線1-2aを通過して端(D)へ伝搬する。配線1-1を伝搬してきた信号は端(B)で全反射し、この反射波が配線1-2a、1-2bで再び後方クロストークを生成する。この生成された後方クロストークの大きさは $(K_b * V_1)$ で、配線1-1の進行波により配線1-2bで生成された後方クロストークと同位相で重畳する。このため配線1-2aをDRAM10-2へ進行する信号振幅は $(2 * K_b * V_1)$ となっている。そして更にDRAM10-2の端(D)へ到達した時DRAM10-2の入力インピーダンスはHiZであるのでここで再び全反射し結果として $(4 * K_b * V_1)$ の信号波形となる。図39では640mV程度となっている。この信号波の持つ時間幅は結合器C1の往復伝搬遅延時間0.48nsである。すなわち、信号量のみ大きくなっている事が分かる。

【0151】同様にMC10-1からDRAM10-3へのデータ転送はDRAM10-2のインピーダンスを配線の特性インピーダンスにマッチングさせ、DRAM10-3の入力インピーダンスをHiZにさせることで、図39と同一な波形となり、 $(4 * K_b * V_1)$ の信号でライトデータを転送できる。

【0152】次に図40に、DRAM10-2からMC10-1へのメモリリードデータのシミュレーション波形を示す。DRAM10-2の出力インピーダンスは線路の特性インピーダンスに比べて低い $(10\Omega)$ 。このためドライブ波形(D)はほぼ $(2 * V_1)$ のフル振幅し、このドライブ信号で線路1-1には後方クロストークが $(2 * K_b * V_1)$ が端(B)方向に生成される。端(B)では全反射するのでこの後方クロストークがそのまま端(A)方向に伝搬する。DRAM10-2からのドライブ波形は配線1-2aから配線1-2bへ伝わるが、配線1-2bを伝わるドライブ波形は配線1-1へ $(2 * K_b * V_1)$ の振幅を持つ後方クロストークを生成する。この後方クロストークと先の端(B)で反射した後方クロストークが同位相で重なるので信号は $(4 * K_b * V_1)$ となり、MC10-1へ入力され終端される。図40ではほぼ580mVの電圧が端(A)に入力されているのが分かる。なお、信号波形は図39と同じ時間幅を持っている。

【0153】図41にはメモリアクセス毎のMC10-1、DRAM10-2、10-3の入力インピーダンスを記す。MC10-1はメモリライト時もリード時もソースインピーダンスマッチング状態にあり、これをRTTで示した。メモリライトの場合、対象となるDRAMはHiZとなり、非対象のDRAMはRTT状態にある。また、メモリリードの場合は、メモリリードデータを出力するDRAMの出力インピーダンスは低く(L0

W)、非対象のDRAMのインピーダンスはRTTである。DRAM10-2、10-3はデータ転送の対象かどうかはチップセレクト(CS)信号で認識できる。

【0154】このように構成・動作することにより信号を約4倍の( $4 \times K_b \times V_1$ )に増加させることができる。すなわち、ドライブ信号を小振幅にしても充分な信号量を得ることができるという効果がある。当然、図38のようなMOSスイッチを多段に構成することによってバスに接続するDRAMを増加することもできる。

【0155】図42を用いて第9の実施例を説明する。10 図42はDRAM或いはMC10-1のドライバとレシーバ或いは終端手段を有するI/O回路の構成図である。53は終端手段である。51-1はドライバである。52-1はヒステリシス特性を持つレシーバである。52-2はヒステリシス特性を持たないレシーバである。73はレシーバ52-1とレシーバ52-2を切り替える切替え手段である。72は本I/O回路を含む半導体素子を製造するときに接続されるボンディング切替手段であり、製造時にVDDあるいはGNDのどちらかに接続変更可能である。図では切替え手段73へV 20 DDすなわちHIGH論理信号を与えている。同様に、71は終端手段53をONにするかOFFにするかを製造時に切り替えることができる。

【0156】このため、例えば図28のDRAM10-2とDRAM10-3はその入力インピーダンスが異なるがこれを同じ半導体マスクで製造し、製造時にこのボンディング切替手段71を切り替えることで1つのマスクで2つの機能を持たせることができる。同様に、従来のDRAMインタフェースであるSSTLなどのレシーバ52-2と、方向性結合器に好適なヒステリシス特性を持ったレシーバ52-1を同じ半導体マスクで製造時に切り替えることで製造コストを下げるができる。

【0157】図43を用いて第10の実施例を示す。本実施例は図27のプロセッサモジュール400の様に複数のチップからなる部位を1つのマルチチップモジュールに実装し、先の実施例、例えば図28の配線方式を応用した例である。マルチチップモジュール400内に設けられたプロセッサ(CPU)31とキャッシュメモリ32はそれらの間でデータ転送を行う場合、図28で示した配線方式すなわち方向性結合器C1を介して行うことができる。このため、高速にCPU31とキャッシュメモリ32間のデータ転送を行うことが可能となる。また、もちろんマルチチップモジュールは、CPU31の機能ばかりでなくキャッシュメモリ32の機能を追加することで性能が向上した1つの素子として取り扱うことができる。更にCPU31とキャッシュメモリ32間のデータ転送をCPU31が実装されるプリント基板に設ける必要が無くなるので該プリント基板の構成が簡単になると言う効果がある。

【0158】

【発明の効果】MCに接続されたメインラインの遠端を開放端あるいは短絡端とすることで全反射を起こしこの反射波と進行波を用いて方向性結合器の両端に後方クロストークを生成させることで方向性結合器の両端に接続されたDRAMとMC間でデータ転送が可能となる。この方向性結合器を2つのDRAMで共有することによりDRAMモジュール間のピッチを半分にできる。

【0159】また、開放あるいは短絡させたメインラインを折り返し、この折り返したメインラインに対し方向性結合器を構成することで、DRAMモジュールの間隔を方向性結合器の結合器の配線長の1/4にできる。

【0160】また、DRAMの信号に対して開放にするか短絡にするかで接続されているDRAMを選択的に正論理あるいは負論理にすることが出来るのでチップセレクト信号のように排他的に制御する信号の本数を減らすことができるという効果がある。

【0161】メモリコントローラはデータ転送のための信号を2値とし、かつそのインピーダンスはメモリコントローラ側は配線の特性インピーダンスと同じインピーダンスとする。すなわち、データを転送していない場合のHiZ状態もH状態も同じ電位とし配線の特性インピーダンスと同じインピーダンスでドライブしておく。データがL状態のときも特性インピーダンスと同じインピーダンスでL信号をドライブする。このようにすることで反射波を吸収することができる。

【0162】信号をHiZ状態からL状態にドライブ場合もH状態からL状態にドライブした場合も同じ振幅であり、このため結合器を通過した信号はこの2つの転送で同じ振幅となる。これによりどの信号の遷移でも同じ信号振幅となるのでブリアンプルの必要はなくなる。ブリアンプルが不必要となるためメモリアクセス時間が短くなりバス使用効率が上がりシステム性能が向上する。

【図面の簡単な説明】

【図1】第1の実施例を説明する図である。

【図2】従来の方式である。

【図3】第1の実施例の説明図である。

【図4】第1の実施例のMCからDRAMへの書き込みタイミングである。

【図5】第1の実施例のDRAM10-1からMCへの読み込みタイミングである。

【図6】第1の実施例のDRAM10-2からMCへの読み込みタイミングである。

【図7】第1の実施例の結合器の構成である。

【図8】第1の実施例のMCからDRAMへの書き込みシミュレーション等価回路である。

【図9】第1の実施例のMCからDRAMへのライトデータ波形である。

【図10】第1の実施例のDRAM10-1からMCへのシミュレーション等価回路である。



【図 11】第 1 の実施例の DRAM 10-1 から MC へのリードデータ波形である。

【図 12】第 1 の実施例の DRAM 10-2 から MC へのリードデータ波形である。

【図 13】第 1 の実施例の MC の I/O 回路である。

【図 14】第 1 の実施例の DRAM の I/O 回路である。

【図 15】第 1 の実施例のモジュール型基板構成図（断面図）である。

【図 16】第 2 の実施例のモジュール型基板構成図（断面図）である。

【図 17】第 2 の実施例の基板断面図である。

【図 18】第 2 の実施例の基板断面図である。

【図 19】第 3 の実施例を説明する図である。

【図 20】第 3 の実施例を応用したリング型差動配線方式である。

【図 21】第 3 の実施例を応用した開放型差動配線方式である。

【図 22】従来の DDR-SDRAM のメモリライトのタイミング図である。

【図 23】第一の実施例を用いたメモリライトのタイミング図である。

【図 24】入力振幅を 2 倍に出きる DRAM インタフェースである。

【図 25】図 24 の DRAM へのメモリライトのタイミング図である。

【図 26】開放端・短絡端をもつメインラインを用いたメモリバスを持つシステムである。

【図 27】開放端・短絡端をもつメインラインを用いたキャッシュメモリバスを持つシステムである。

【図 28】第 5 の実施例を説明する図

【図 29】第 5 の実施例の MC 10-1 から DRAM 10-2、10-3 への書き込みタイミングを示す図

【図 30】第 5 の実施例の DRAM 10-2 から MC への読み込みタイミングを示す図

【図 31】第 5 の実施例の DRAM 10-3 から MC への読み込みタイミングを示す図。

【図 32】第 5 の実施例の MC 10-1 から DRAM 10-2、10-3 へのライトデータ波形を示す図。

【図 33】第 5 の実施例の DRAM 10-2 から MC へのリードデータ波形を示す図。

【図 34】第 5 の実施例の基板実装断面図を示す図。

【図 35】第 5 の実施例の基板実装断面図（終端ボードを実装したケース）

【図 36】第 6 の実施例を説明する図

【図 37】第 7 の実施例を説明する図

【図 38】第 8 の実施例を説明する図

【図 39】第 8 の実施例のシミュレーション波形（メモリライト）

【図 40】第 8 の実施例のシミュレーション波形（メモ

リリード）

【図 41】第 8 の実施例の MC 10-1、DRAM 10-2、10-3 の入力インピーダンスを示す図

【図 42】第 9 の実施例を説明する図（ボンディングオプション）

【図 43】第 10 の実施例を説明する図（マルチチップモジュールに方向性結合器を適用した図）

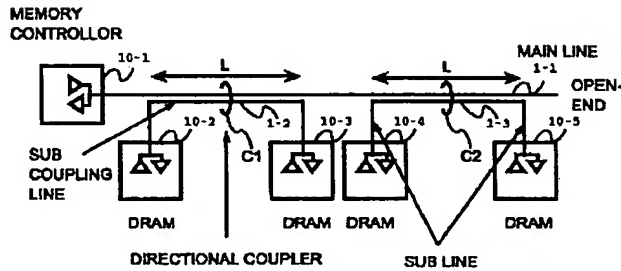
【符号の説明】

1 . . . . . プリント  
基板（マザーボード）  
1-1 . . . . . メインライン  
1-2 ~ 1-5 . . . . . 配線  
2-1 ~ 2-9 . . . . . データ転送を行う半導体素子をそれぞれ搭載するモジュール基板  
2-a ~ 2-d . . . . . メモリモジュールを多数搭載するメモリサブシステム  
51、51'、51a . . . . . ドライバ  
10-1 . . . . . メモリコントローラ（部）  
10-2 ~ 10-9 . . . . . データ転送を行う半導体素子（メモリ）  
30 . . . . . プロセッサ（CPU）部  
40 . . . . . グラフィック部  
50 . . . . . I/O 部  
60、61 . . . . . 方向性結合チップ  
201 . . . . . プロセッサバス  
202 . . . . . メモリバス  
203 . . . . . I/O バス  
204 . . . . . グラフィックバス  
300 . . . . . チップセット  
400 . . . . . プロセッサモジュール  
410 . . . . . キャッシュメモリバス  
MC . . . . . メモリコントローラ  
m1、m2 . . . . . 基板 1 内の配線層（メインライン）  
x1、x2 . . . . . 基板 1 内の配線層（クロストーク）  
C1 ~ C4 . . . . . 方向性結合器

$R_{tt}$  ..... 終端抵抗  
 $V_{tt}$  ..... 終端電圧  
 $r_s$  ..... ドライバ  
 の等価インピーダンス  
 $L_1 \sim L_7$  ..... 配線 \*

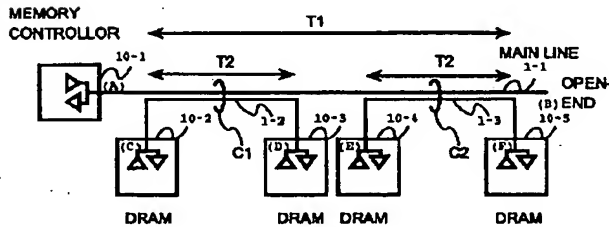
【図 1】

図 1



【図 3】

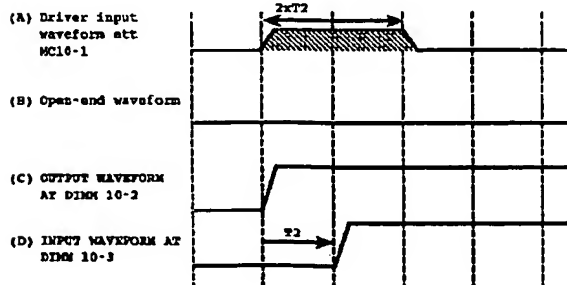
図 3



【図 5】

図 5

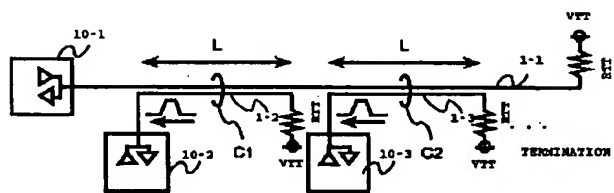
## MEMORY READ DIRECTION (DRAM 10-1 TO MC10-1)



$v_{pulse}$  ..... ドライバ  
 パルス源  
 $s_1, s_6, k_1, k_4, j_1, j_4$  ..... シミュレ  
 ーション用のノード

【図 2】

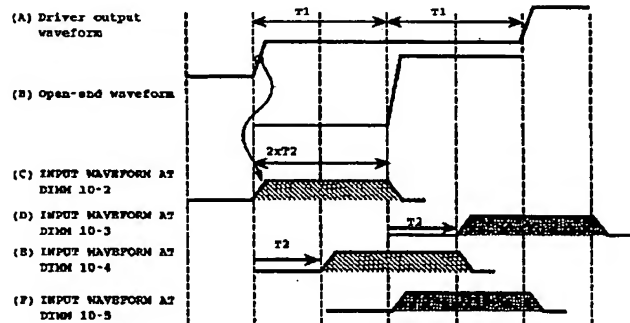
図 2



【図 4】

図 4

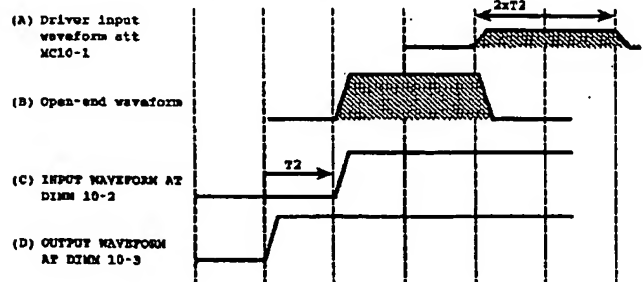
## MEMORY WRITE DIRECTION



【図 6】

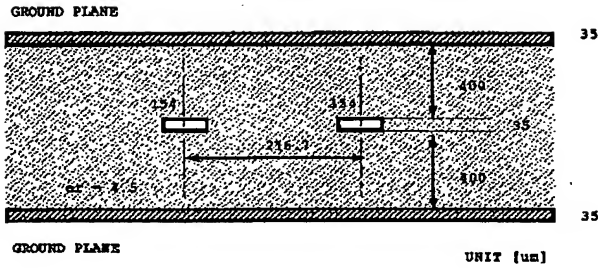
図 6

## MEMORY READ DIRECTION (DRAM 10-2 TO MC10-1)



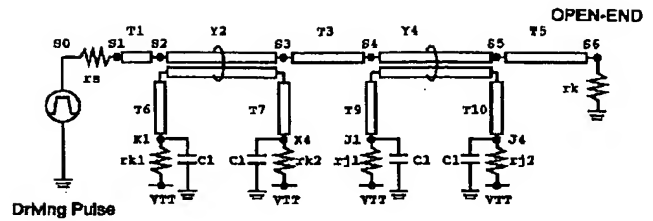
【図 7】

図 7



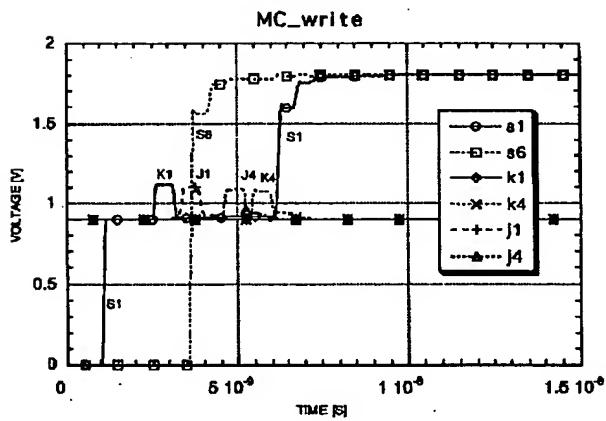
【図 8】

図 8



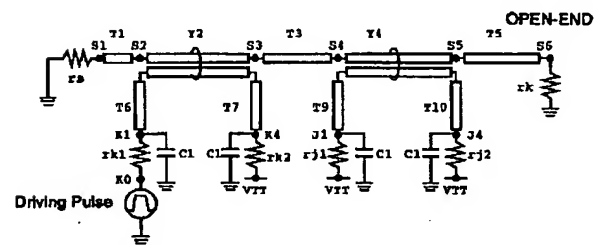
【図 9】

図 9



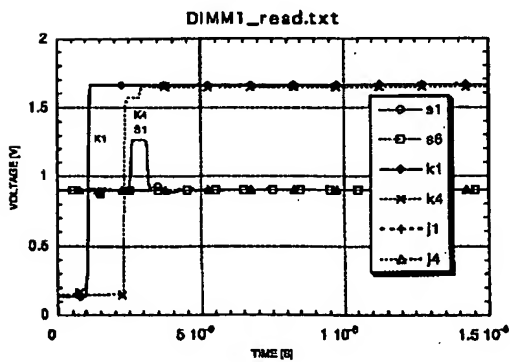
【図 10】

図 10



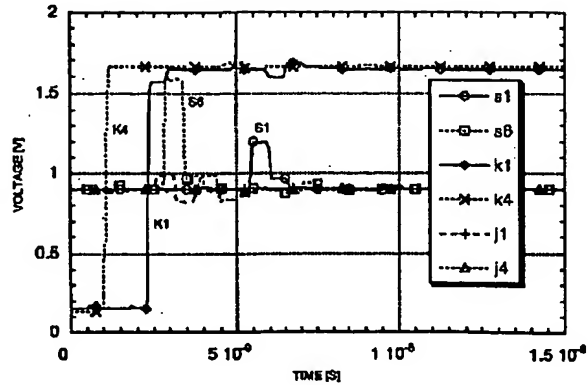
【図 11】

図 11

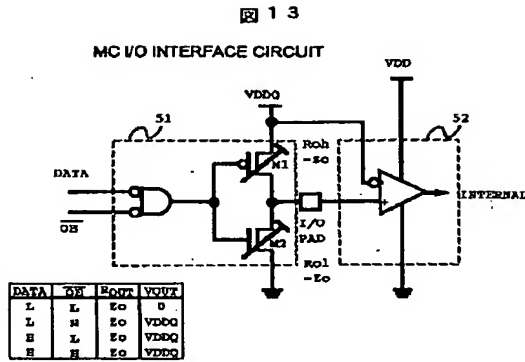


【図 12】

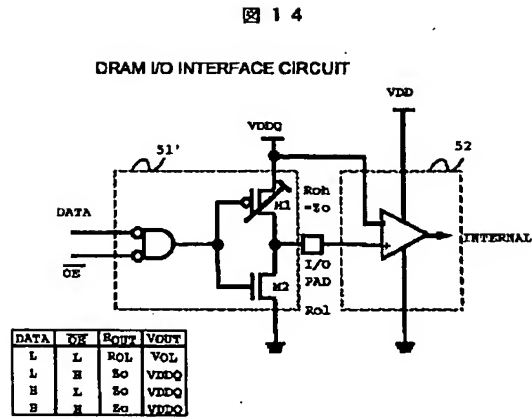
図 12



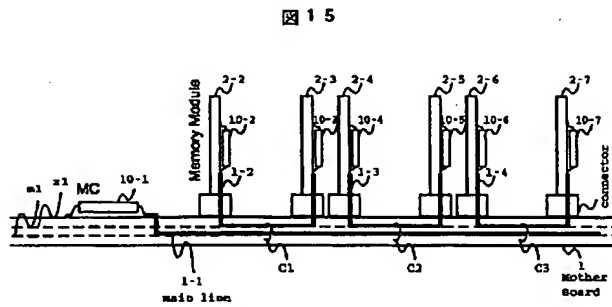
【図 13】



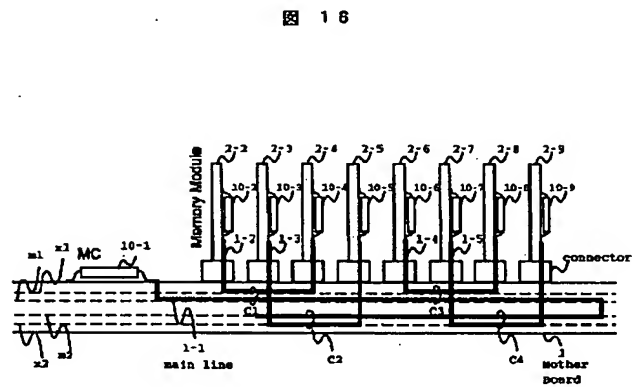
【図 14】



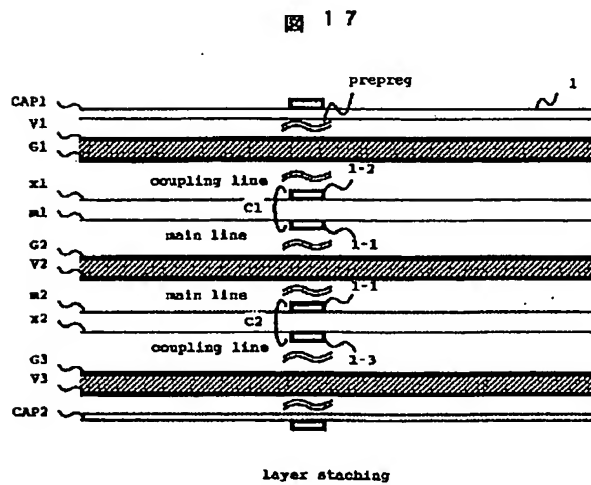
【図 15】



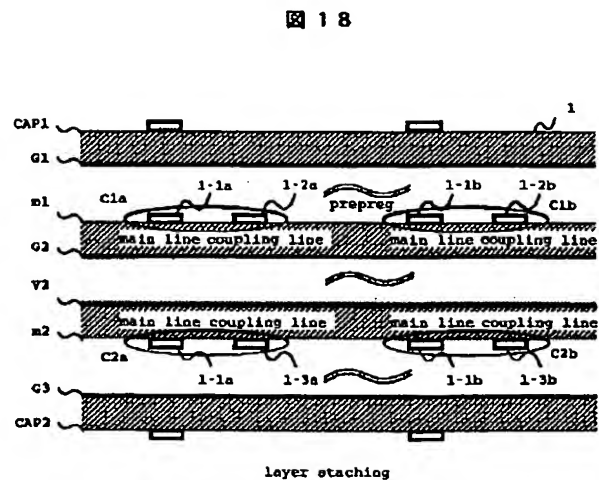
【図 16】



【図 17】

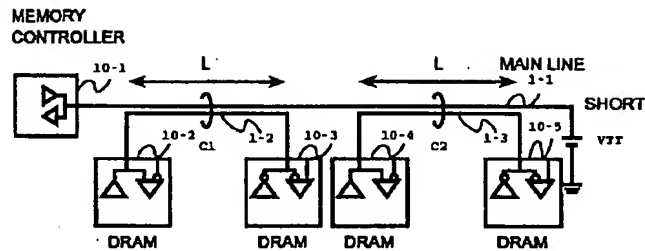


【図 18】



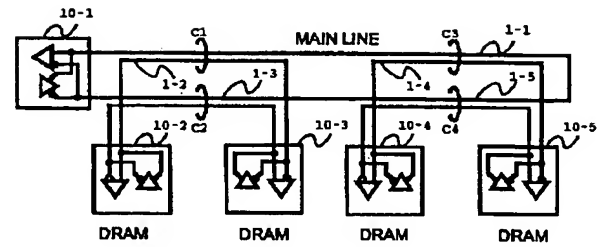
【図 19】

図 19



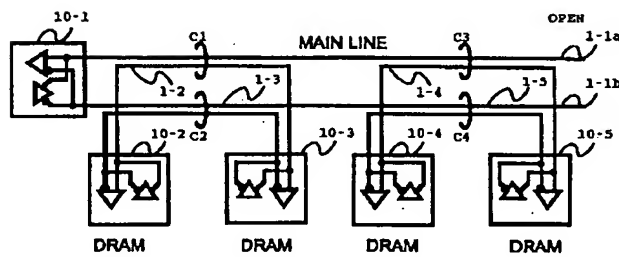
【図 20】

図 20



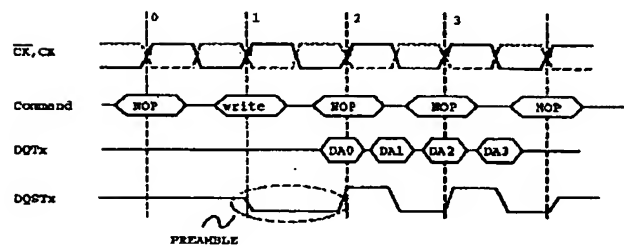
【図 21】

図 21



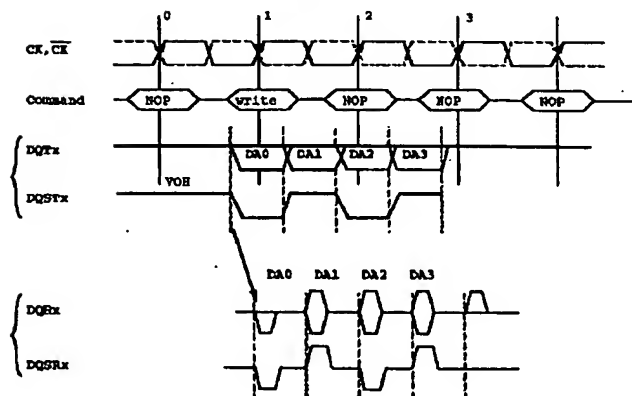
【図 22】

図 22



【図 23】

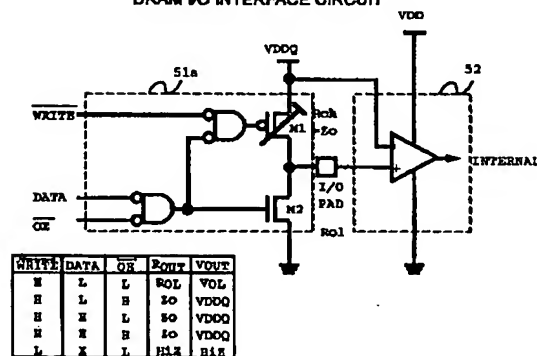
図 23



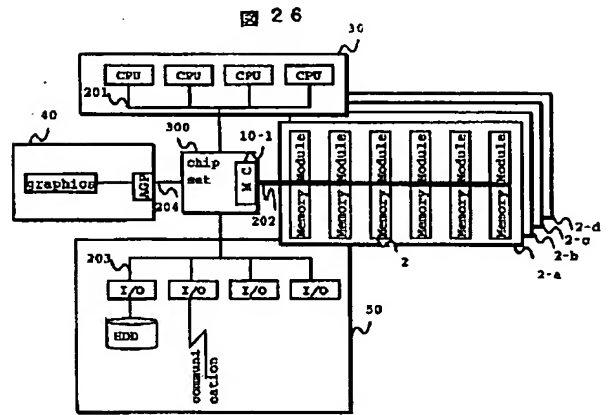
【図 24】

図 24

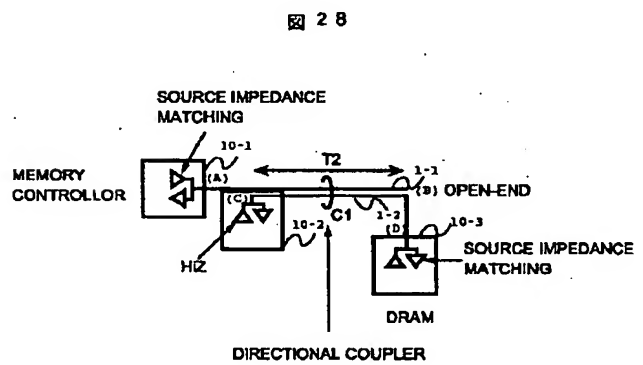
DRAM I/O INTERFACE CIRCUIT



【图 2 6】



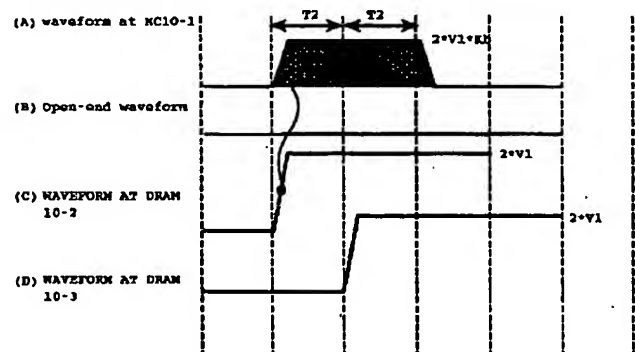
【図 28】



【図 30】

**30**

**MEMORY WRITE DIRECTION**





【図31】

【図32】

図31

MEMORY READ DIRECTION (DRAM10-3 TO MC10-1)

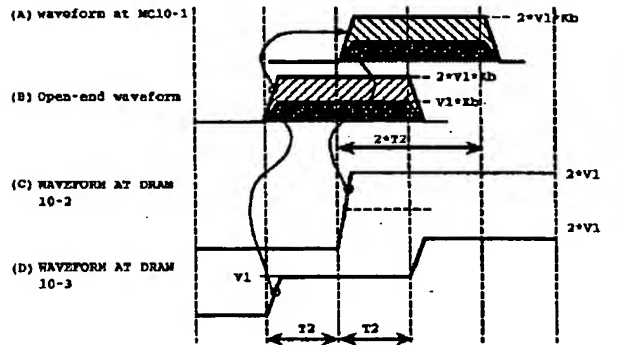
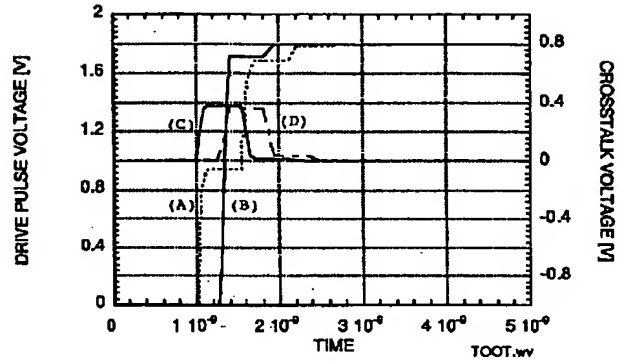


図32

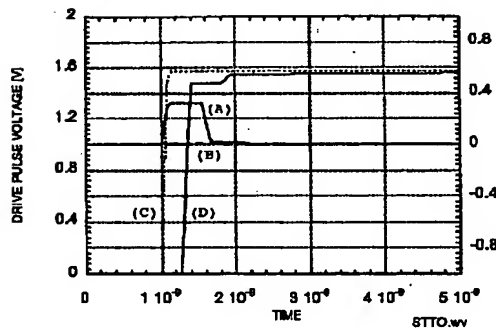
MEMORY WRITE DATA (MC10-1 (A) DRIVE)



【図33】

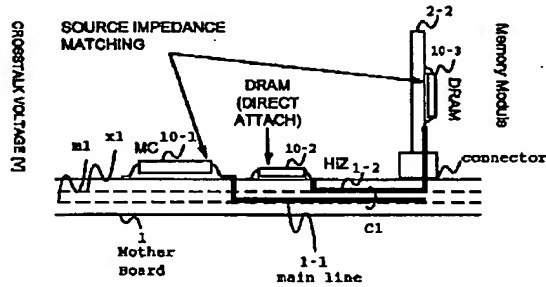
図33

MEMORY READ DATA (DRAM10-2 (C) DRIVE)



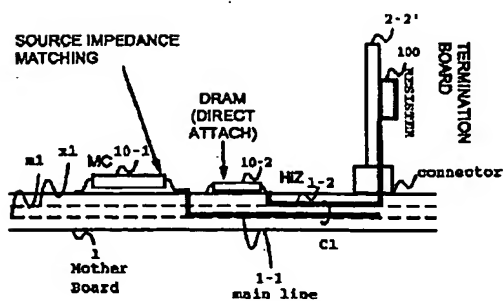
【図34】

図34



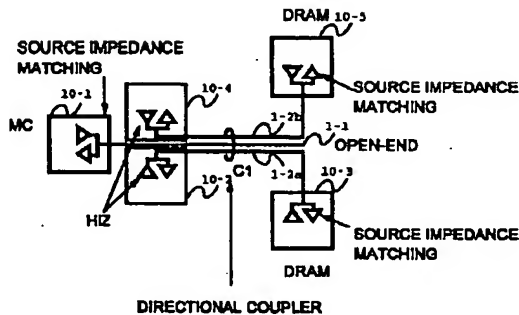
【図35】

図35



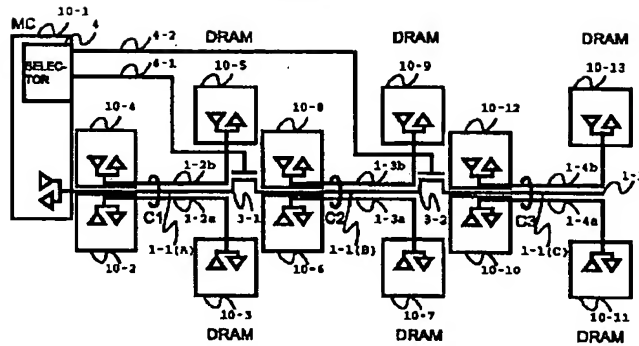
【図36】

図36



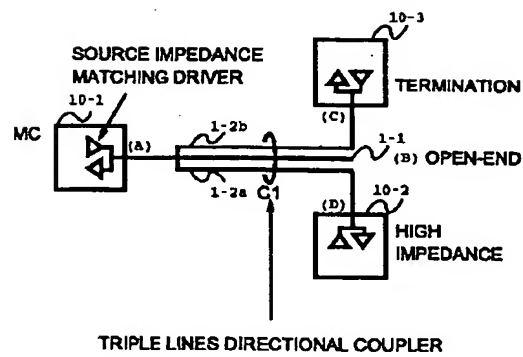
【図37】

図37



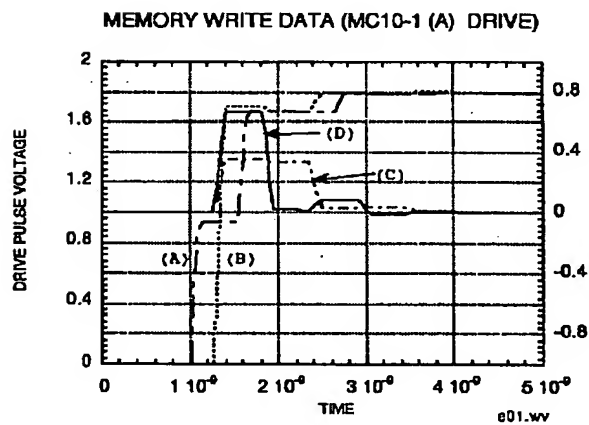
【図38】

図38



【図39】

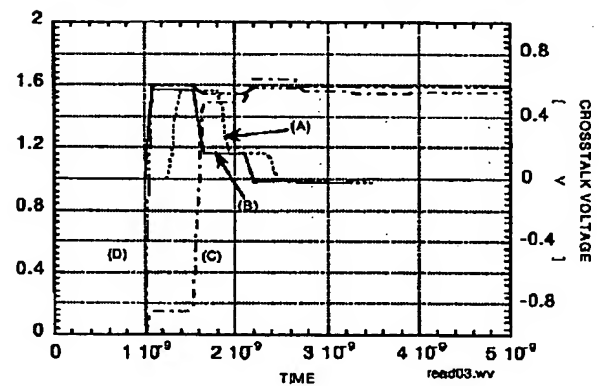
図39



【図40】

図40

MEMORY READ DATA (DRAM10-2 (C))



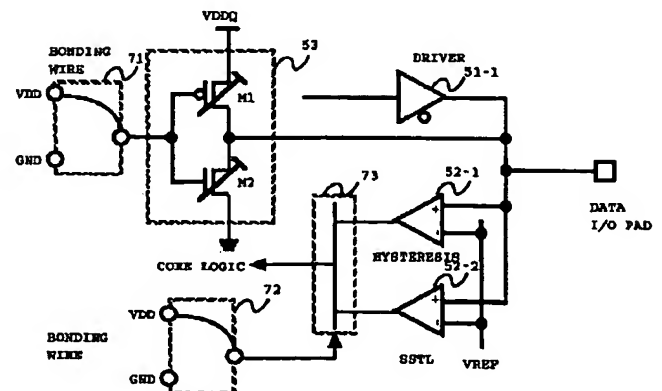
【図41】

図41

WRITE DATA	IMPEDANCE		
	MC10-1	DRAM10-2	DRAM10-3
MC10-1 → DRAM10-2	RTT	HIZ	RTT
MC10-1 → DRAM10-3	RTT	RTT	HIZ
READ DATA			
	MC10-1	DRAM10-2	DRAM10-3
DRAM10-2 → MC10-1	RTT	LOW	RTT
DRAM10-3 → MC10-1	RTT	RTT	LOW

【図42】

図42

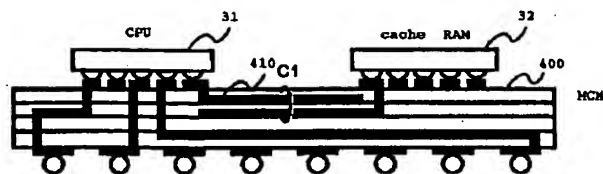


(29)

特開2002-123345

【図43】

図 43



フロントページの続き

(72)発明者 小松 豊彦

神奈川県川崎市麻生区王禅寺1099番地 株  
式会社日立製作所システム開発研究所内

(72)発明者 原 敦

神奈川県川崎市麻生区王禅寺1099番地 株  
式会社日立製作所システム開発研究所内

Fターム(参考) 5B060 MB02 MB10

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**